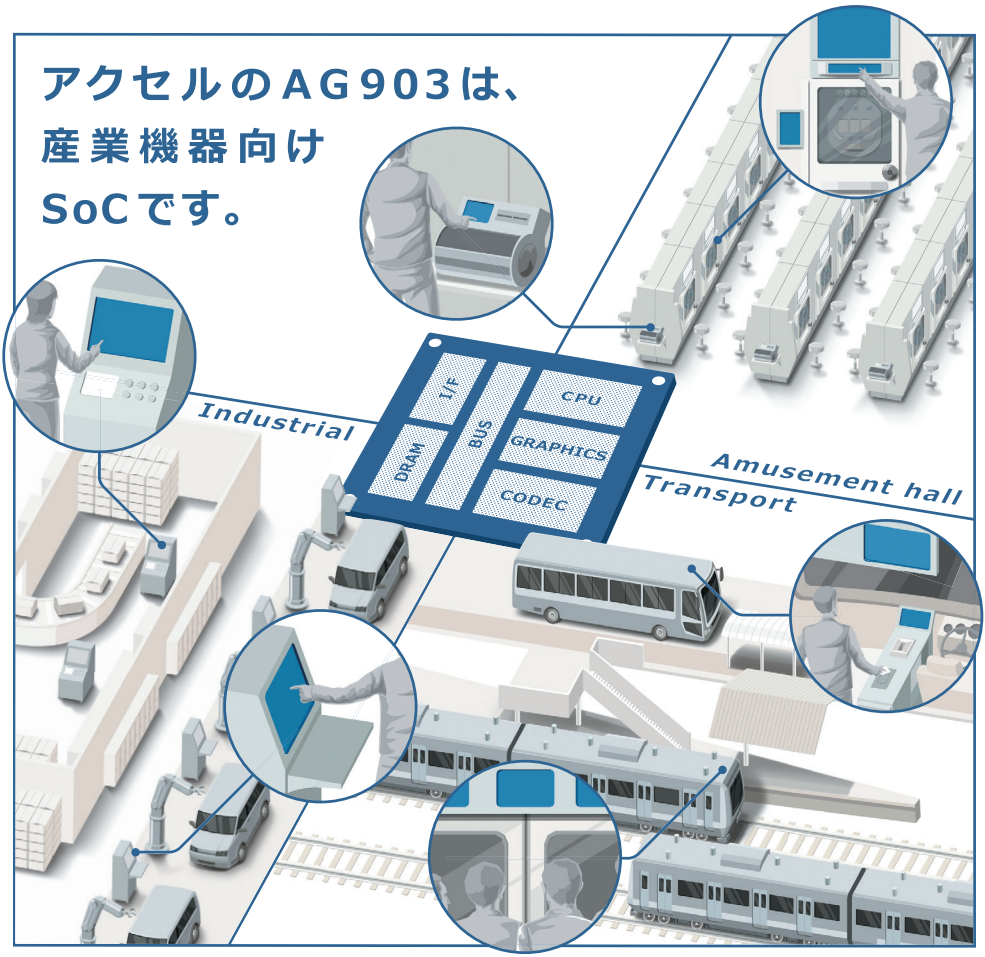
SoCを用いたシステム設計の実践!!

産業用途に大事なのはシンプルさかな!?

トランジスタ技術
特別小冊子(非売品)

麻生勝之／宮崎仁［共著］

CQ出版社



組み込み機器向けグラフィックスLSI

AG903

［開発中］

アクセルの「AG903」は、OpenVG™ 1.1 対応の高性能グラフィックスエンジンと大容量 VRAM に加え、ARM® Cortex® -A5 CPU も内蔵し、効率的で無駄のないシステムの構築を可能とします。「AG903」は医療・計測機器や製造・車両・店舗設備をはじめとする多岐にわたる用途をターゲットとし、開発を支援するための評価ボードとパートナー提供のソフトウェアも準備されています。また、旧来品同様に外部 CPU から制御することもできます。使いやすさと高性能を両立し、長く安定した供給を目指す「AG903」は、トータルコストの低減に貢献します。

AG903 主な仕様

描画エンジン	OpenVG™ 1.1 対応
CPUコア	ARM®Cortex®-A5 400MHz
内蔵DRAM容量	512Mbit
ビデオ入力	CMOS デジタル（24bit）×1、アナログ(NTSC/PAL)×4
ビデオ出力	CMOS デジタル（24bit）×1、LVDS デュアル ×1
最大解像度	1920×1200（1出力時）
画像コーデック	JPEG（圧縮伸長）、H.264（伸長）
電源電圧	コア1.15V、I/O1.8または3.3V（選択可能）、アナログ 1.8V、DRAM 1.8V
パッケージ	QFP256pin、28mm×28mm
その他	画像処理機能、外部CPUからの制御

＊ARM および Cortex は ARM Ltd. またはその子会社の登録商標です。
＊OpenVG は The Khronos Group Inc.の商標です。

AXELL CORPORATION
株式会社アクセル
〒101-8973 東京都千代田区外神田4-14-1 秋葉原UDX南ウイング10階
TEL 03-5298-1670 FAX 03-5298-1671 EMAIL：sales@axell.co.jp

詳しくはこちらへ
http://www.axell.co.jp/

目 次
[CONTENTS]

SoCを用いたシステム設計の実践!!

麻生勝之／宮崎仁［共著］

第1章 写真館

製作したシステムの事例……2

第2章 システム設計の実際……6

2-1 適用事例の検討とシステム仕様の策定……7
2-1-1 適用事例1（プログラマブル表示器）……7
2-1-2 適用事例2（外観検査装置）……8
2-1-3 適用事例3（監視カメラ録画装置）……9
2-1-4 適用事例4（電子看板）……10
2-2 SoCの選定と基本回路，コネクタ……13
2-2-1 SoCの特徴と選定のポイント……13
2-2-2 AG903の概要……14
2-2-3 AG903周辺の基本回路とコネクタの決定……16
2-3 主要部品，コネクタの選定と基板サイズの見積もり……22
2-4 消費電流の見積もりと電源の検討……25
2-4-1 I/O消費電流の計算……26
2-4-2 電源回路構成の検討……28
2-4-3 DC/DCコンバータと電源配線の検討……29

第3章 回路設計の詳細……37

3-1 AG903システム関連……37
3-2 JTAGインターフェース……41
3-3 RS-232インターフェース……42
3-4 RS-485インターフェース……44
3-5 SPIフラッシュ・メモリ……44
3-6 アナログ・ビデオ入力インターフェース……45
3-7 LCDインターフェース……46
3-8 オーディオ出力インターフェース……48
3-9 GPIOインターフェース……49
3-10 ディジタル・ビデオ出力インターフェース……50
3-11 イーサネット・インターフェース……54
3-12 USBインターフェース……56
3-13 SDカード・インターフェース……57
3-14 CFカード・インターフェース……58
3-15 RTC……60
3-16 電源回路……62

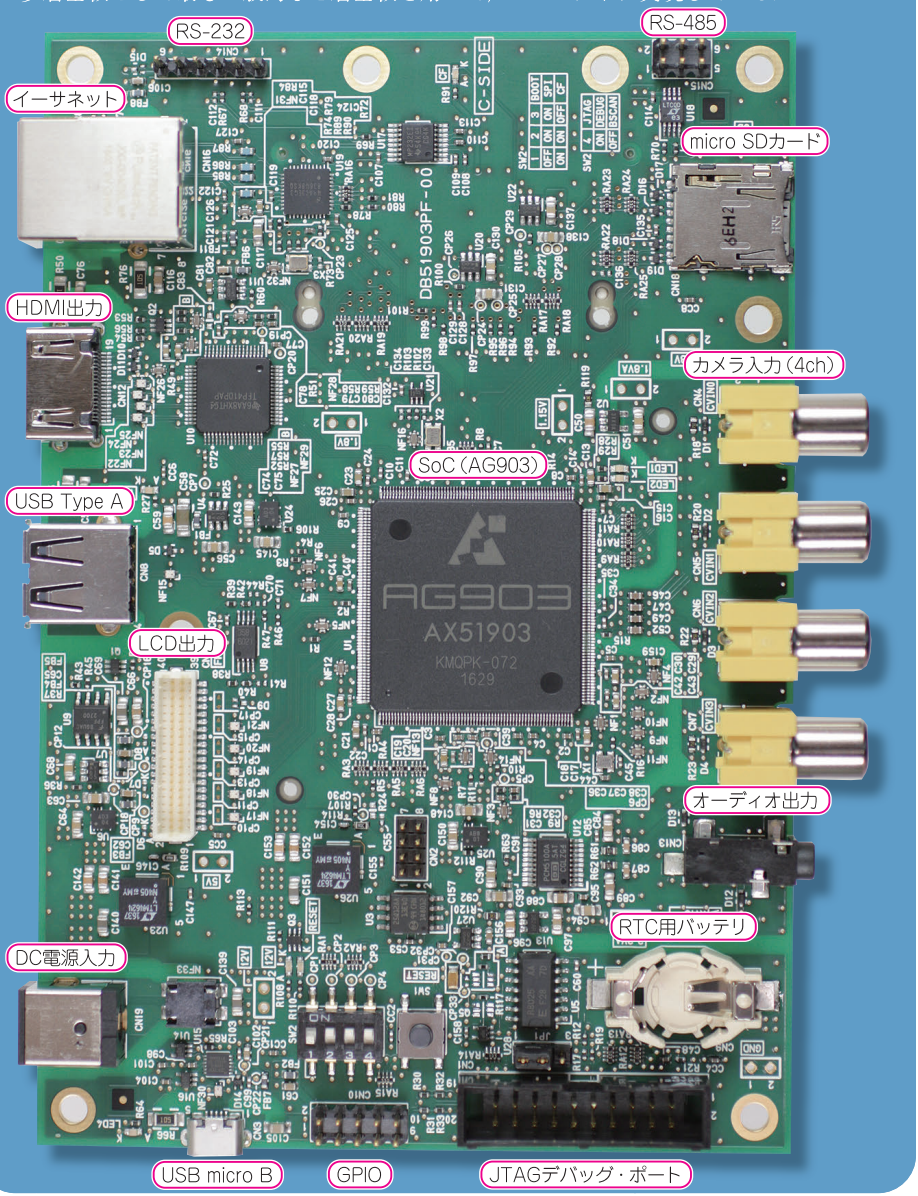
第1章　写真館　製作したシステムの

特定用途向けの高機能・高性能と，多用途に使える汎用性を兼ね備えたさまざまなSoCが製品化されている．本書では，豊富な画像処理機能をもつ組み込み用グラフィックスSoCのAG903（アクセル社）を例として，SoCを活用したシステム設計の方法や注意点，実際の回路基板の設計法を詳しく解説する．それによって，小型・低コストで高性能の組み込み機器開発のノウハウを学ぶことができる．

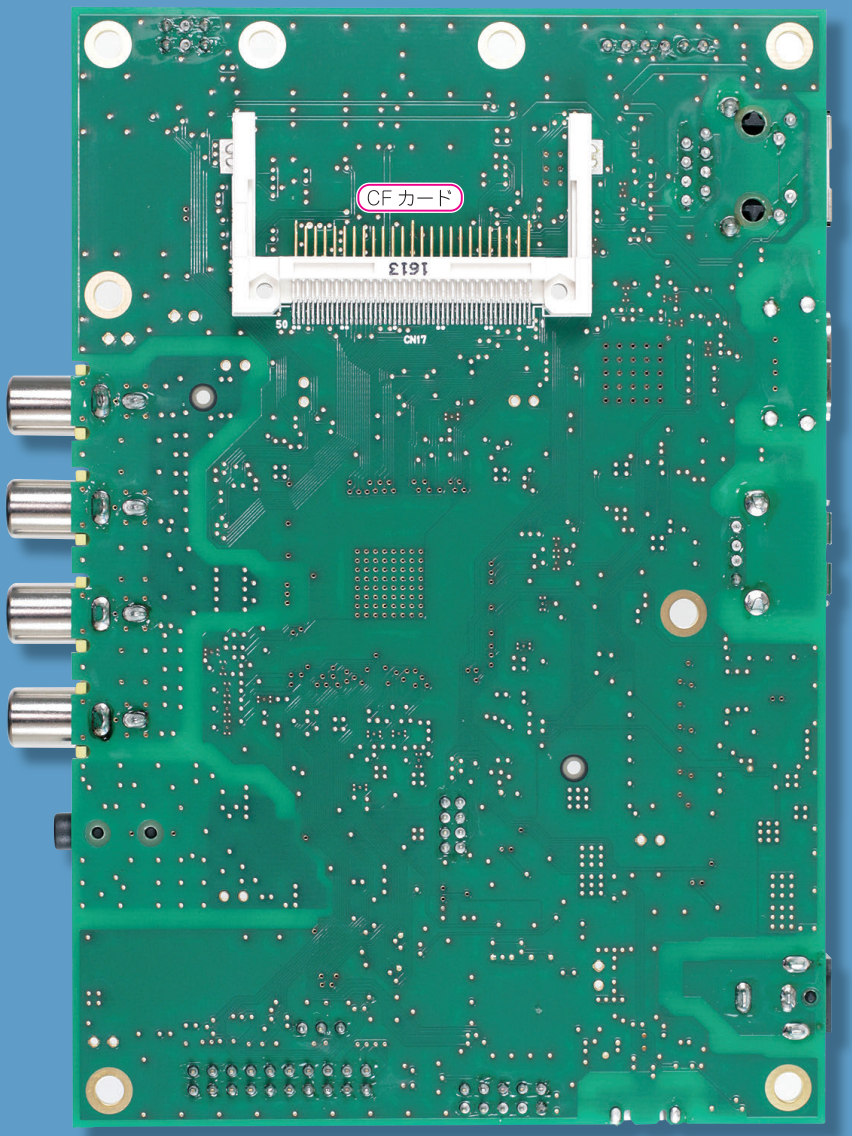
開発した回路基板の例．プログラマブル表示器，外観検査装置，監視カメラ録画装置，電子看板をはじめとするさまざまな産業用の画像機器を1枚の基板で実現できる．SoCを活用して外付けの回路や部品を減らし，基板を小型化できた．

事例

開発した回路基板の部品面.
多層基板として最も一般的な4層基板を用いて，コンパクトに実現している.

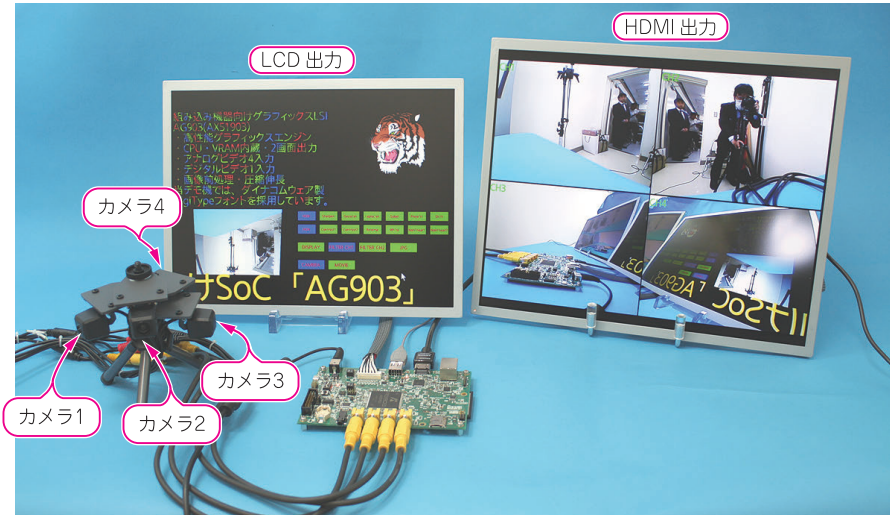


開発した回路基板のはんだ面.
この面に搭載している部品はCFカード・スロットだけ.



AG903 は 2 画面同時表示が可能．LCD 出力と HDMI 出力に同時出力している例．

さらに，4 台のカメラ入力と 2 画面表示を同時に処理している例．

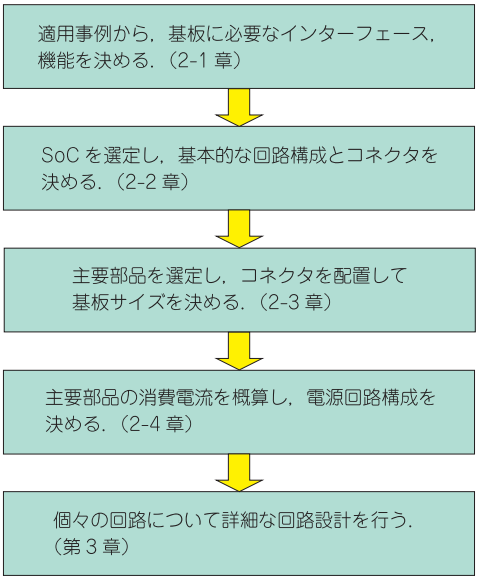


第2章 システム設計の実際

本書は，SoC を活用したシステム設計の方法や注意点を，豊富な事例を基に解説します．まず最初に，システム設計の全体の流れについて概要を説明します(**図 2-1**)．

なお，ここでは単一用途のシステムを開発するのではなく，産業用の画像入出力装置，画像処理装置をターゲットとして具体的な複数の適用事例を検討し，それらに共通に使用可能な汎用性をもつシステムを開発することにします．また，ターゲットは携帯装置やバッテリ駆動装置ではありませんが，コスト，信頼性を考慮しながらできるだけ小型化をはかっていきます．

図 2-1　システム設計の流れと本書の構成



システム設計を行う場合，まず設計したい対象に応じて，システムがもつべき機能やその構成方法を検討し，適切な仕様を策定することが大切です．ここでは，プログラマブル表示器，外観検査装置，監視カメラ録画装置，電子看板の四つの事例を検討し，それらを含む産業用画像アプリケーションを実現するためのシステム仕様を策定します．

次いで，システムの核となる SoC を選定し，回路構成や主要部品の決定，基板サイズや電源構成の決定，個々の回路設計へと進んでいきます．

2-1 適用事例の検討とシステム仕様の策定

2-1-1 適用事例 1（プログラマブル表示器）

工場内では，個別の装置の操作や状態表示を行うものから，エリアやブロックごとの操作や状態表示，ネットワークやシステム全体の操作や状態表示を行うものまで，さまざまな表示盤が使われています．以前は個別のスイッチや表示ランプを組み合わせて 1 台ずつ特注で作っていましたが，現在ではタッチパネルを用いたプログラマブル表示器によって，1 種類のハードウェアでさまざまな操作，表示に対応できるようになりました．

図 2-2 は，タッチパネルで FA 機器の操作・監視を行うための表示盤に使用するメイン基板の構成例です．また，プログラマブル表示器が必要とするインターフェースおよび機能の一覧を**表 2-1** に示します．

プログラマブル表示器では，表示のための LCD モジュールと操作のためのタッチパネルを組み合わせた一体型のタッチ・ディスプレイが使われています．産業用のタッチ・ディスプレイは製品も豊富で，容易に入手できます．ディスプレイ以外のユーザ・インターフェースとしては，操作ガイダンスや警報などの音声出力も広く使われています．また，操作者から直接見えない場所をディスプレイに表示できるように，監視カメラ入力も使われています．FA 用の制御装置，計測装置は RS-485 接続やイーサネット接続が一般的です．他に，CF カードや SD カードなど交換可能な記録メディア，文字入力やメンテナンス作業に便利なキーボードなどとのインターフェースも必要でしょう．

図 2-2　プログラマブル表示器に使用するメイン基板の構成例

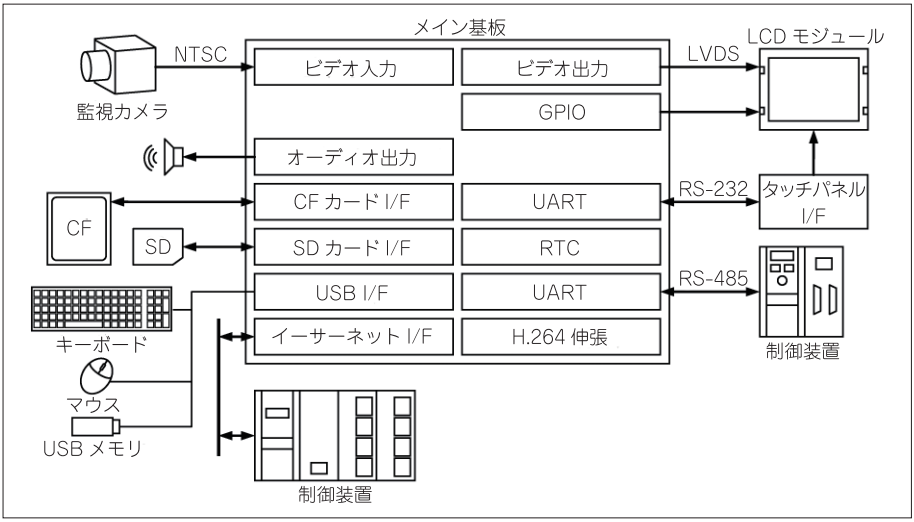


表 2-1　プログラマブル表示器の基本的なインターフェースと機能

インターフェース	用　途
LVDS I/F	LVDS I/F には LCD モジュールを接続します．多くのプログラマブル表示器は，タッチパネルとディスプレイとが一体型となっています．
GPIO	LCD モジュールのバックライトの ON/OFF や調光に必要な PWM 信号を出力します．
RS-232 I/F	通信プロトコルが容易な，RS-232 I/F のタッチパネルを接続します．
USB I/F	USB キーボードやマウスを接続し，タッチパネルでは不向きなコマンド入力などによる操作を行えるようにします．
RS-485 I/F	FA 向けの制御装置，計測装置，ネットワークと接続します．
イーサネット I/F	FA 向けの制御装置，計測装置，ネットワークと接続します．公衆ネットワークを利用した遠隔監視などにも利用できます．
アナログ・ ビデオ入力 I/F	監視映像などを表示できるように，安価なアナログ I/F の監視カメラと接続します．
SD カード I/F	ログやコンテンツ・データなどの記録に使用します．多くのノート PC には SD カード・スロットが搭載されており，利便性が高まります．
CF カード I/F	ログやコンテンツ・データなどの記録に使用します．耐震性が高いため，産業用では広く用いられています．
オーディオ出力 I/F	操作音や音声ガイダンスを出力します．
H.264 伸張機能	操作方法を説明する動画などの再生に使用します．
RTC	ログの記録日時の参照に使用します。

2-1-2　適用事例２（外観検査装置）

検査対象物の外観をカメラで撮影し，その画像を処理，分析して良否を判定する外観検査装置は，人間による目視検査に代わって幅広い分野で用いられています．高精度，高速な検査が必要な場合や，リアルタイムの分析機能を統合したい場合は，組み込み PC を用いてシステム化するのが一般的ですが，システムは大規模かつ高価になってしまいます．

ここでは，単体の装置で形状，寸法，位置，面積，色などの簡単な検査を行うコンパクトな外観検査装置を取り上げ，基本機能に着目して必要なインターフェースを検討します．

図 2-3 は，製品の外観を検査する画像検査装置に使用するメイン基板の構成例です．また，外観検査装置が必要とするインターフェースおよび機能の一覧を**表 2-2** に示します．

外観検査装置では，検査対象を撮影するためのカメラと，通常のカメラ画像や処理，分析の各段階での画像を随時確認するための LCD モジュールが使われています．

図 2-3　外観検査装置に使用するメイン基板の構成例

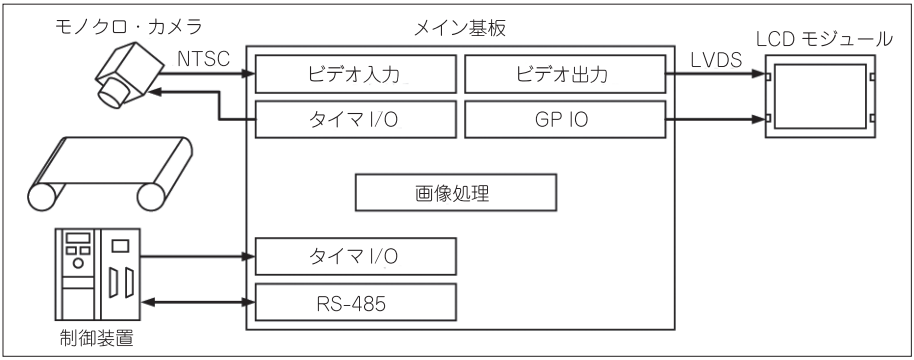


表 2-2　外観検査装置の基本的なインターフェースと機能

インターフェース	用　途
LVDS I/F	LVDS I/F には LCD モジュールを接続します．入力画像や検査状態をリアルタイム表示します．
GPIO	LCD モジュールのバックライトの ON/OFF や調光に必要な PWM 信号を出力します．
タイマ I/O	制御装置からのトリガ信号の入力やカメラのシャッター制御に使用します．
RS-485 I/F	FA 向けの制御装置，計測装置，ネットワークと接続します．
アナログ・ ビデオ入力 I/F	検査用のモノクロ・カメラと接続します．
画像処理機能	画像検査では，カメラ画像を取り込んでノイズ除去，二値化，輪郭検出，寸法計測，面積計測，色抽出，ヒストグラム生成などの処理を行います．そして，必要な閾値との比較演算処理によって数値的に良品 / 不良品の判定を行います．

2-1-3　適用事例 3（監視カメラ録画装置）

画像データのディジタル化と，記憶メディアの進化によって，安価な監視カメラ録画システムが実現可能になりました．防犯 / セキュリティ用途をはじめとして，工場での製造監視，自動車の運転状況監視，気象や自然災害の監視，農業での生育監視，高齢者や幼児の見守り / 監視など，応用分野はあらゆる分野に拡大しています．

図 2-4 は、監視カメラ録画装置に使用するメイン基板の構成例です．また，監視カメラ録画装置が必要とするインターフェースおよび機能の一覧を**表 2-3** に示します．

監視カメラ録画装置ではマルチ・カメラの要望が多いので，多チャネルのカメラ入力とします．録画データを撮影日時で管理するために，RTC（リアルタイムクロック）を使用します．記憶メディアは急速に大容量化が進んでいるフラッシュ・メモリが一般的で，CF や SD などのカード

媒体なら交換や外部での保存も容易です．録画のための画像処理機能としては，JPEG などの圧縮機能が必要です．

図 2-4　監視カメラ録画装置に使用するメイン基板の構成例

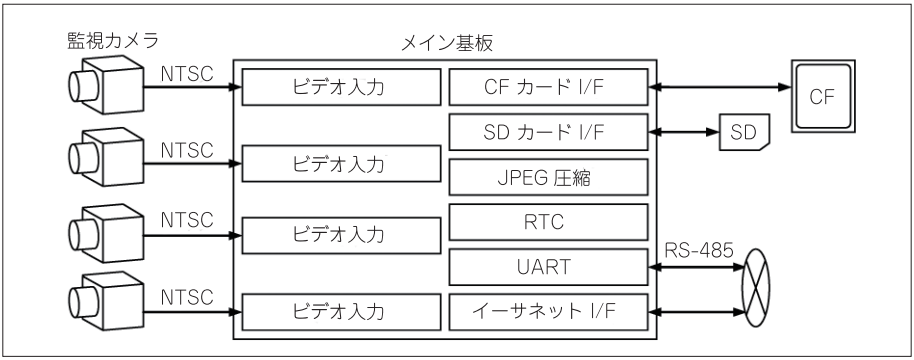


表 2-3　監視カメラ録画装置の基本的なインターフェースと機能

インターフェース	用　途
アナログ・ ビデオ入力 I/F	安価なアナログ I/F の監視カメラと接続します．多くの監視カメラ録画装置は，多チャンネル入力が望まれます．
RS-485 I/F	ネットワークと接続します．産業用途で利用する場合は，RS-485 でネットワーク接続されることも想定されます．
イーサネット I/F	ネットワークと接続します．公衆ネットワークと接続することもできます．
SD カード I/F	カメラ画像の記録に使用します．多くのノート PC には SD カード・スロットが搭載されており，利便性が高まります．
CF カード I/F	カメラ画像の記録に使用します．耐震性を高めたシステム構築が可能となります．
JPEG 圧縮機能	大量のカメラ画像を蓄積メディアに記録するため，JPEG 圧縮して記録します．
RTC	録画日時の参照に使用します。

2-1-4　適用事例 4（電子看板）

大画面で明るく視認性の良い液晶モニタが低価格で供給されるようになり，街頭やさまざまな施設内で電子看板が広く用いられています．

図 2-5 は、電子看板に使用するメイン基板の構成例です. また, 電子看板が必要とするインターフェースおよび機能の一覧を**表 2-4** に示します.

電子看板のディスプレイは, DVI など外付けタイプのインターフェースをもつものが多くなっています. また, 動画, 静止画, 音声などを組み合わせたさまざまな表示方法が用いられ, 双方向のユーザ・インターフェースも用いられます. そのため, ビデオ出力の他にオーディオ出力や RS-232 I/F を用意しており, 動画再生用として H.264 伸張機能, 静止画再生用として JPEG 伸張機能も必要です. 一方, 再生用コンテンツを CF カードや SD カードから読み込んだり, イーサネット経由で受信するためのインターフェースを備えています.

図 2-5　電子看板に使用するメイン基板の構成例

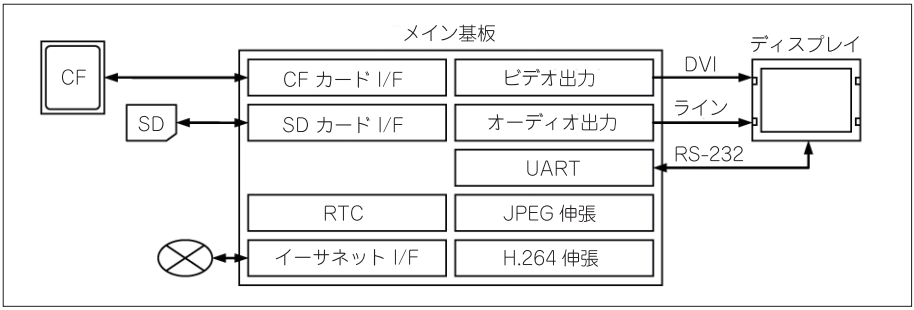


表 2-4　電子看板の基本的なインターフェースと機能

インターフェース	用　途
ディジタル・ ビデオ出力 I/F	液晶モニタなどの外部ディスプレイと接続します.
オーディオ出力 I/F	液晶モニタ内蔵スピーカや外部オーディオ機器と接続します.
RS-232 I/F	外部ディスプレイの電源 ON/OFF などの制御に使用します. または, タッチパネルとの通信に使用します.
イーサネット I/F	ネットワークと接続します. 公衆ネットワークと接続することもできます.
SD カード I/F	再生用コンテンツが記録されている SD カード用のスロットです. 多くのノート PC には SD カード・スロットが搭載されており, 利便性が高まります.
CF カード I/F	再生用コンテンツが記録されている CF カード用のスロットです. 耐震性を高めたシステム構築が可能となります.
RTC	スケジュール再生を行うときの日時参照用に使用します.
H.264 伸張機能	動画の再生に使用します.
JPEG 伸張機能	静止画の再生に使用します.

以上の四つの適用事例の検討に基づき，必要とされるインターフェースおよび機能をまとめたのが**表 2-5** です．

産業用の機器製品では多品種少量やカスタマイズへの対応，長期間の製品供給などが求められることが多いため，ハードウェアは汎用性や拡張性を意識して開発し，ソフトウェアやオプションによって差別化やカスタマイズをはかる必要があります．本書では，この表に示した項目を満たす基板を開発します．

表 2-5　開発する基板に搭載すべきインターフェースと機能

No.	適用事例 / インターフェースおよび機能	プログラマブル表示器	外観検査装置	監視カメラ録画装置	電子看板
1	LVDS I/F	○	○		
2	GPIO	○	○		
3	ディジタル・ビデオ出力 I/F				○
4	タイマ I/O		○		
5	RS-232 I/F	○			○
6	RS-485 I/F	○	○	○	
7	イーサネット I/F	○		○	○
8	アナログ・ビデオ入力 I/F	○		○	
9	USB I/F	○			
10	SD カード I/F	○		○	○
11	CF カード I/F	○		○	○
12	オーディオ出力 I/F	○			○
13	RTC	○		○	○
14	H.264 伸張機能	○			○
15	JPEG 圧縮機能			○	
16	JPEG 伸張機能				○
17	画像処理機能		○		

2-2 SoCの選定と基本回路，コネクタ

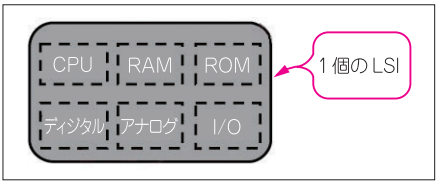
2-1章では開発する基板のシステム仕様を策定しました．本章では，この仕様を満たす基板を効率よく実現できるSoCを選定し，基本回路やコネクタの設計を行っていきます．

SoCを活用してシステムを開発する場合，システムの機能や性能の大部分はSoCで決まってしまうので，使用するSoCの選定が最も重要なポイントです．SoCには多種多様な製品がありますが，本書では，2-1章で検討した適用事例や策定した仕様から，最適なSoC製品としてアクセル社のAG903を使用しています．以下では，まずSoC選定の一般的な注意点を簡単に説明し，その後でAG903の概要について解説します．

2-2-1 SoCの特徴と選定のポイント

SoC(System on a Chip)とは，プロセッサ，メモリ，各種I/Oなど複数のLSIで構成されていたシステムの全機能を，1個のLSIチップ上に統合したものです（**図2-6**）．それによって部品点数や基板サイズを大幅に削減し，製造工程も簡素化できるので，従来にない小型，低コストのシステムを実現できます．

図2-6 SoCの概要



そのかわり，個々のSoCは特定用途に合わせて処理性能やメモリ容量，内蔵機能が決められています．目的に合わないSoCを選んでしまうと，その後の設計でどうやっても必要な性能が出せないとか，内蔵機能の多くを使わずに無駄にしてしまうことになります．

2-1章で想定した適用事例はいずれも画像の入力や出力を行うアプリケーションであり，画像の処理能力や，画像入力と画像出力のためのインターフェースを第一に考えます．高品位の動画表示や高速な画面書き換えのためには，グラフィック・アクセラレータ機能の内蔵は不可欠です．メモリも汎用でなく，VRAMとしての性能が要求されます．

その他にも，ネットワークやメモリ・カードなどのインターフェース機能に注意して選定することが必要です．また，適用事例は産業用途を想定しており，SoCも産業向けのものを選択する必要があります．SoC製品には低価格のものもありますが，実装コストや信頼性，供給状況などの点で産業用途に適さないものも多数あります．

SoC選定でもう一つ考慮すべき点は，SoCを使うにはソフトウェア開発が必要だということです．したがって，SoCに内蔵されているプロセッサの開発環境，汎用OSのサポート，ライブラリなどのソフトウェア資産が十分であるかどうかに注意する必要があります．

2-2-2　AG903の概要

AG903は，ARM Cortex-A5と大容量VRAM，各種の周辺機能とI/F，グラフィックス制御機能とビデオI/Fを統合したアクセル社のSoC製品です．1チップでシステムを構成できるので，サイズやコストの制約が大きい組み込み製品で高度なグラフィックスを容易に実現できます．業界標準のCortex-Aシリーズ・コアを採用し，ARMエコシステムやLinuxを活用したシステム設計が可能です．

以下に，AG903の特徴を示します．また，**表2-6**に主な仕様を示します．

- AG903(型番AX51903)は，アクセル社の組み込み機器向けグラフィックスLSI
- CPUはARM Cortex-A5を内蔵し，Linuxの動作も可能
- 大容量VRAM(64MB)をオンチップに搭載
- 独立4系統のコンポジット・ビデオ入力が可能
- キャプチャした画像は，画像処理やJPEG圧縮などが可能
- OpenVG1.1に対応したベクタ・グラフィックス機能をもち，高品位なフォント描画が可能
- 映像2系統出力が可能
- 内蔵のH.264デコーダは，電子看板(デジタル・サイネージ)にも利用可能
- USB，CFカード，SDカード，イーサネット，UART，同期シリアル，I²Cの各種I/Fを搭載
- EQS I/Fにより，自動でメモリ・アクセスを同期シリアル信号に変換可能
- 外付けCPUによるAG903の制御が可能(デバイス機能)
- QFPパッケージを採用し，ボードの信頼性向上，コストダウンが図れる
- アクセル社からAG903評価ボードが供給されている

写真1　AG903の外観
パッケージはQFP256ピン，サイズは28×28mm

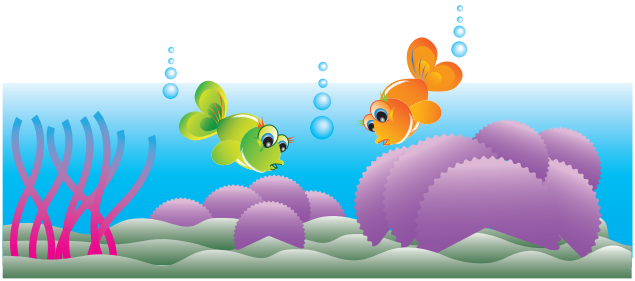


表 2-6　AG903 の主な仕様

機　能	詳　細	性　能
内蔵 CPU	コア，クロック	ARM Cortex-A5，400MHz
	FPU	ARM VFP3/NEON
	周辺機能	MMU，L1/L2 キャッシュ，DMAC，GIC，タイマ
内蔵 VRAM	容量	512M ビット（64M バイト）
ビデオ入力	入力 I/F	24 ビット・デジタル ×1 または 8 ビット・デジタル ×2， アナログ ×4
	入力フォーマット	RGB888/RGB565/YCbCr422（デジタル） NTSC/PAL コンポジット（アナログ）
	入力ドット・クロック	最大 170MHz
ビデオ出力	出力 I/F	24 ビット・デジタル ×1 または 8 ビット・デジタル ×2， LVDS デュアル ×1 または LVDS シングル ×2
	出力フォーマット	RGB888/RGB565/YCbCr422（デジタル）
	最大解像度	1920×1200，60Hz（デジタル） 1366×768，60Hz（LVDS シングル） 1920×1200，60Hz（LVDS デュアル）
	出力ドット・クロック	最大 170MHz
	総発色数	24 ビット
	ウィンドウ数	16 ウィンドウ
描画	対応 API	OpenVG1.1 準拠 API，AG9 描画 API
画像圧縮 / 伸張	圧縮方式	JPEG（圧縮 / 伸張），H.264（伸張），AG9 形式（可逆伸張）
画像処理	機能	I/P 変換，クロップ，ノイズフィルタ，色空間変換，HSV/HLS 変換， 縮小，空間フィルタ，濃度変換，閾値処理，ラベリング， ヒストグラム生成，フレーム間演算
外部 I/F	CPU 周辺 I/F	UART×4，同期シリアル ×4，I^2C×2，タイマ ×4， バックライト制御 ×2，EQS×1，GPIO，デバッガ
	イーサネット	MII/RMII（10/100M）×1
	USB	USB2.0（HS/FS/LS）×1（ホスト / ファンクション切替）
	オーディオ	I^2S/ 右詰め / 左詰め /TDM×4，HD Audio×1
	メディア	CF カード（TrueIDE/PC カード）， SD カード（SDSC/SDHC/SDIO/MMC）
パラレル・バス I/F	バス幅，クロック	32/16/8 ビット，最大 66MHz
	アドレス空間	26 ビット（64M バイト）
	メモリ I/F	SRAM/SDRAM I/F
デバイス機能	バス幅，クロック	32/16 ビット，最大 66MHz
	アドレス空間	26 ビット（64M バイト）
	データ転送モード	デュアル・アドレス・モード
動作電圧		コア：1.15V，I/O：1.8V または 3.3V，アナログ：1.8V， VRAM：1.8V
パッケージ		256 ピン QFP（底面放熱パッド付き），28×28mm

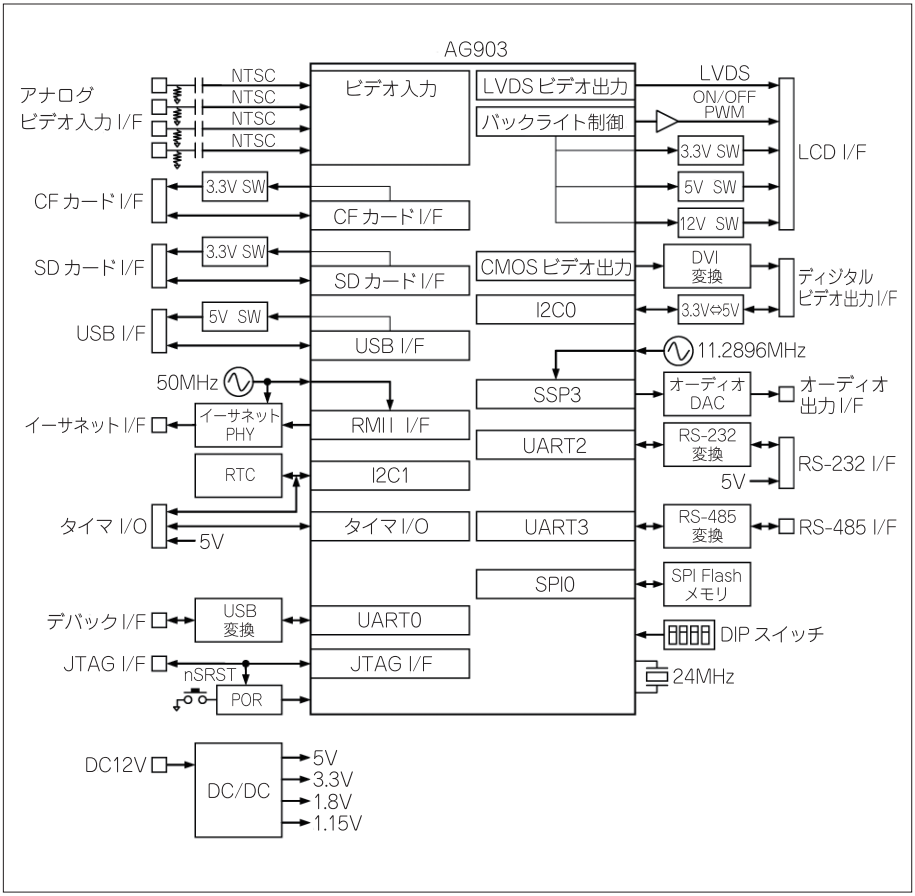
2-2-3　AG903 周辺の基本回路とコネクタの決定

SoC を選定したら，次は策定したインターフェースや機能の仕様に合わせて，SoC 周辺の基本回路とコネクタを決めていくことになります．

SoC には多くの機能が統合されていますが，電源回路やクロック・ソースなどは一般に外付けが必要です．また，インターフェースの部分では，適切なコネクタを選んで SoC と信号配線で接続することが必要です．インターフェースの種類によっては，追加の外付け回路や部品が必要になる場合もあります．一般的に，コネクタや信号配線は基板上で大きなスペースを専有するので，基板サイズ見積もりの重要な要因です．

組み込み向け SoC の AG903 を用いた基板の回路構成を**図 2-7** に示します．

図 2-7　製作する基板の回路構成



システムの仕様策定のところでも述べましたが，産業用の基板では汎用性や拡張性も意識して，今回検討した四つの適用事例を含む多くの画像処理アプリケーションに適用可能なように設計します．特に，インターフェース部分の電気的な接続条件やコネクタは、コストも考慮して，なるべく汎用的なものを選定するようにしています．さらに，ソフトウェアの開発やメンテナンスを考慮して，基板にはデバッグ用 I/F を装備しています．

図 2-7 に示した回路構成について，それぞれ電気的仕様およびコネクタを検討します．

(1) アナログ・ビデオ入力 I/F

アナログ出力の監視カメラなどを接続するための I/F です．4 チャネルのアナログ・ビデオ信号を，それぞれ AC カップリングして AG903 に入力します．電気的仕様は，JEITA 規格 CP-1203A「AV 機器のアナログ信号の接続要件」の映像信号の接続条件に合わせて，入力インピーダンス 75Ω，1Vp-p の NTSC コンポジット信号とします．

コネクタは，一般的に使用されている RCA ジャックとします．

(2) LCD I/F

機器内蔵用の液晶モジュールを接続するための I/F です．電気的仕様は，高速差動シリアル伝送規格の LVDS（FPD-Link）に準じます．市販の産業用液晶モジュールでは，信号配線が少なく小型化に適した LVDS を採用する製品が増えてきました．

LVDS 信号は特性インピーダンス 100Ω の差動線路で伝送することが必要であり，基板パターン設計での制約条件となります．ビアを通過するとインピーダンスの不整合を生じるので，ペア配線がクロスしないような端子割り当てにすることも必要です．

LVDS 信号の他に，液晶モジュール用とバックライト用の電源や制御信号もあります．AG903 からそれぞれ電源 ON/OFF 信号を出力し，電源スイッチ IC を制御します．バックライト ON/OFF と調光用 PWM 信号は，レベル変換できるようにしてコネクタに出力します．これらの信号の電圧レベルは液晶モジュールによって異なります．

コネクタは，インピーダンス整合や定格に注意して選定します．コネクタの標準仕様は見当たらないため，ここではアクセル社の AG903 評価ボードと同一のコネクタを使用し，評価ボードと同じ液晶モジュールと接続できるようにします．

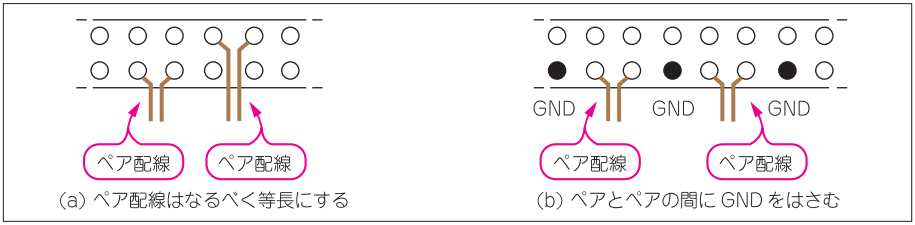
独自にコネクタを選定する場合は，次の事項を十分に検討して決める必要があります．

① LVDS 信号の品質に大きく影響しないかどうか

特性インピーダンス 100Ω の差動線路の基板パターンは，基板の条件でも変わりますが，一般には 0.3mm 間隔程度のペア配線になります．このペア間に比べてコネクタのランド間隔があまりにも広いと，インピーダンス不整合による波形品質への影響が懸念されます．

ただし，一般的な 1mm ～ 1.25mm ピッチ程度であれば問題は生じないでしょう．ペア配線をなるべく対称にすることや，複数のペア配線を収容する場合はクロストークを避けるためペアとペアの間に GND をはさむなどの注意が必要です（**図 2-8**）．

図 2-8　LVDS コネクタ部分の基板パターンの注意点



② 端子の定格は満足できるか

コネクタを小型にすると，一般的には定格電圧や定格電流が小さくなります．コネクタから液晶モジュールやバックライトへの電源を供給する場合に注意が必要です．特に，バックライトの定格は比較的大きいため，十分な確認が必要です．

③ 必要な端子数が確保できるか

LVDS 信号は各チャネルで 2 本ずつ端子を使用し，信号品質向上のためにコネクタの両端部や各ペア配線の両側に GND 端子を置きます．また，液晶モジュールやバックライトのための電源端子や，バックライトの制御信号端子なども割り当てが必要です．

電源配線は，コネクタやケーブルの定格の範囲内で 1 本当たりの電流を増やし，端子数を減らすことも可能です．ただし，使用する液晶モジュール側コネクタにある電源端子は，すべてに配線して電源を供給する必要があります．基板側コネクタだけ電源端子を減らすと，ケーブル部分で分岐が必要となるので，ケーブル製作費のコストアップにつながります．基本は 1 対 1 の配線が必要です．

④ コネクタのサイズが要求に合うかどうか

LCD I/F は，小型化のために狭ピッチ・コネクタを採用することも多いでしょう．ただし，狭ピッチ・コネクタはケーブルの挿抜時に端子を痛めやすいので注意が必要です．特に，1 列タイプのコネクタを使用する場合は，嵌合方法も考慮に入れる必要があります．

⑤ 量産時にプローブ・ピンが当たれるかどうか

基板の量産時には，テスト用パッドに直接プローブ・ピンを当てて出荷検査する場合があります．このプローブ・ピンはピン同士の必要最小間隔が決められており，その間隔は量産工場ごとに決まりがあります．小型のコネクタは必然的にパッド間隔が狭くなるため，プローブ・ピンが当てられるかどうか確認する必要があります．

(3) ディジタル・ビデオ出力 I/F

外付けディスプレイを接続するための I/F です．市販ディスプレイとの接続性を考慮し，AG903 の CMOS 出力を DVI 規格に変換して出力します．ただし，コネクタはシステムの小型化をねらって，DVI よりも小型の HDMI Type-A コネクタとしています．

HDMI の物理層は，DVI と同じ TMDS（Transition Minimized Differential Signaling）信号なので，HDMI 入力のディスプレイに接続可能です．また，DVI 入力のディスプレイとの接続も，

市販のHDMI⇔DVI変換コネクタを使用すれば可能です. なお, HDMI規格にあるオーディオと認証用の信号は使用しません.

また, ディスプレイが対応する解像度情報を基板側で取得できるように, VGA, DVI, HDMIなど多くのディスプレイがVESA DDC信号を備えています. DDC信号は双方向シリアルI/Fで, AG903のI^2C I/Fに接続して通信を行います. ただし, DDC信号は5V I/Fなので, 3.3V I/FのAG903への接続にはレベル変換が必要となります.

(4) オーディオ出力I/F

アナログ・オーディオ信号を出力するためのI/Fです. AG903の同期シリアルI/F（SSP）のI^2Sモードでディジタル・データを出力し, オーディオ用DACでアナログに変換してコネクタに出力します. 電気的仕様は, JEITA規格CP-1203Aの音声信号の接続条件に合わせて, 出力インピーダンス2.2kΩ以下, 最大出力レベル2Vrms(FS)とします.

オーディオ出力は, パワー・アンプを内蔵してスピーカに直接出力したいという要望も多いのですが, スピーカの仕様は多種多様なため, 本基板ではライン出力とします. コネクタは, システムの小型化をねらってφ3.5mmのステレオ・ミニジャックを使用します.

AG903の出力信号のサンプリング周波数は, 音楽CDと同じく44.1kHzとします. マスター・クロックは, fs=44.1kHz, MCK=256fs=11.2896MHzの発振器をAG903に接続して使用します. なお, 要求される音声品質にもよりますが, AG903の内蔵PLLを用いれば異なるサンプリング周波数の再生も可能です.

(5) RS-232 I/F

AG903のUART I/Fを使用し, 外付けのRS-232トランシーバでRS-232レベルの信号に変換します. タッチパネル・コントローラ基板と接続することを考慮して, このインターフェースには5V電源も出力しておきます.

コネクタは, 機器の内部とも外部とも接続する可能性があって定まらないため, 2.54mmピッチのピンヘッダとします.

(6) RS-485 I/F

AG903のUART I/FをRS-485モードで使用し, 外付けのRS-485トランシーバでRS-485レベルの差動信号に変換します.

コネクタの標準仕様は見当たらないため, 2.54mmピッチのピンヘッダとします.

(7) タイマI/O

タイマI/Oは, 制御装置からのトリガ入力やカメラのシャッター制御に使用することが想定されます. また, 外部装置の監視・制御に使用する接点I/Oにも使用できます. さらに, 接点数を容易に拡張できるように, I^2C I/Fへも接続しておくとよいでしょう.

コネクタの標準仕様は見当たらないため, 2.54mmピッチのピンヘッダとします.

(8) イーサネット I/F

イーサネット接続には，AG903 のイーサネット MAC を利用できます. ただし，物理層は内蔵していないので，外付けの PHY（物理層 IC）が必要です. AG903 は，SD カードとイーサネットを併用する場合には，RMII I/F で PHY と接続しなければなりません. RMII I/F を使用する場合は，周波数安定度 ±50ppm 以内の 50MHz 発振器が必要となります.

コネクタは，イーサネットで一般的な RJ-45 コネクタとします. 運用時に接続スピードや送受信状態が確認しやすい LED インジケータ付きのコネクタがよいでしょう.

(9) USB I/F

マウスやキーボードなどの USB 周辺機器を接続するための I/F です. AG903 の USB I/F をホスト・モードで使用し，さらに電源供給用の 5V を接続します. AG903 の USB I/F には物理層が内蔵されているため，コネクタと直結できます.

コネクタは，USB ホスト機器として一般的な USB Type-A コネクタとします.

(10) SD カード I/F

AG903 の SD カード・ホスト・コントローラを使用します. AG903 と直結するため，I/O 電圧は 3.3V 固定となります.

コネクタは，システムの小型化をねらって micro SD スロットとします.

(11) CF カード I/F

AG903 の CF カード・コントローラを使用します. CF カードは HDD 互換の蓄積メディアとして使用されることが多いことを想定し，PC カード・モードではなく True IDE モード固定で使用します. これにより，基板上の配線数を削減できます. AG903 と直結するため，I/O 電圧は 3.3V 固定となります.

コネクタは，一般的な Type I/II カード対応スロットとします.

(12) RTC

RTC（Real Time Clock）としては各種の IC やモジュールが市販されていますが，AG903 の端子の使用効率のよい I^2C I/F のものを使用します.

なお，本基板ではディジタル・ビデオ出力の DDC 信号にも I^2C I/F を使用しています. 1 本の I^2C バスに複数のデバイスを接続することも可能ですが，内部の通信状態が漏れないように，また外部から内部回路にアクセスできないように，RTC には DDC 信号とは別の I^2C チャネルを使用します.

(13) SPI フラッシュ・メモリ

システムの実行プログラムの格納用に，SPI フラッシュ・メモリを搭載します. 容量は実行プログラムのサイズで変わってきますが，数 M バイトあれば Linux にも対応可能です. ここでは，

アクセル社の AG903 評価ボードと同じ 16M バイトにして，評価ボードで開発したプログラムをそのまま格納可能にしています. 16M バイト以上の容量が必要な場合は，CF カードなどの併用も可能です.

(14) デバッグ関連 I/F

ソフトウェアの開発やメンテナンスのために，JTAG デバッガと接続可能にしています. コネクタは, ARM の JTAG デバッグ端子として標準的な 2.54mm ピッチ 20 ピンのコネクタとします.

さらに，AG903 の UART0 もデバッグ用ポートに割り当てています. UART0 を USB- シリアル変換 IC で USB に変換することによって，PC との接続性を高めています. PC がホストになるので, こちらのコネクタは USB micro-B コネクタとします.

(15) リセット

基板の電源が安定してから AG903 を起動し，電源瞬断時には再起動させるように，POR (Power On Reset) IC を使用します.

別のリセット方法として，タクト・スイッチによるマニュアル・リセットと，JTAG デバッカからのリセット(nSRST)にも対応させています.

(16) AG903 関連

AG903 の USB I/F を使用するため，水晶振動子は 24MHz を使用します. AG903 の起動方法は, DIP スイッチで選択できるようにします.

(17) 電源

基板の電源は，DC12V 入力から，DC/DC コンバータを用いて各電圧を生成します. ここで生成した電源は，液晶モジュールへの供給にも使用します. なお，液晶モジュールのバックライトの供給電圧は 12V が一般的であり，供給電流は比較的大きいため，DC12V 入力をそのまま供給します.

コネクタの標準仕様は見当たらないため，一般的な DC ジャックとします. ただし，定格電流の検討が必要です.

JEITA 規格 RC-5320A「外部電源プラグ・ジャック」では，12V 用は電圧区分 4 の DC ジャックに該当し，定格電流は 2A となります. バックライトへの供給電流を 1A，液晶モジュールの消費電力を 5W とすると，液晶モジュールへの電源供給は変換効率 90% の DC/DC コンバータで 12V から生成するとして, これらの合計は,

$$1A + 5W/0.9/12V = 1.5A$$

となり, 液晶モジュールへの供給分だけで定格電流 2A 近くになります.

本基板では，JEITA 規格のものではなく，DC ジャックとして一般的で，定格が大きい製品が入手しやすい内径 ϕ2.1mm，外形 ϕ5.5mm の DC2.1 ジャックを使用します. AC アダプタも，DC2.1 プラグで定格の大きい製品が容易に入手可能です.

以上のような検討によって，製作する基板の基本回路やコネクタについて，主な仕様が決まりました．**表 2-7** にまとめて示します．

表 2-7　製作する基板の主な仕様

項　目	仕　様	コネクタ
システム・コントローラ	AX51903（AXELL），24MHz	
ROM	16M バイト，SPI フラッシュ・メモリ	
ビデオ入力	NTSC/PAL コンポジット，1Vp-p/75Ω	RCA×4
ビデオ出力 1	LVDS（シングル・リンク） バックライト制御：ON/OFF，調光 PWM 電源出力：12V/1A，5V/1A または 3.3V/1A	SHD-40×1
ビデオ出力 2	DVI（シングル・リンク）	HDMI Type-A×1
オーディオ出力	ステレオ，2Vrms（FS）/2.2kΩ以下	φ3.5mm ステレオミニジャック ×1
USB	USB2.0	USB Type-A×1
LAN	10BASE-T/100BASE-TX	RJ-45×1
シリアル I/F	RS-232（TXD/RXD）	2.54mm ピンヘッダ ×1
	RS-485	2.54mm ピンヘッダ ×1
GPIO	4ch GPIO + I²C	2.54mm ピンヘッダ ×1
ストレージ	3.3V SDSC/SDHC	micro SD スロット ×1
	3.3V CF カード，True IDE	Type I/II スロット ×1
RTC	CR1220 バックアップ対応	
デバック I/F	USB シリアル	USB micro-B×1
	JTAG	ARM JTAG20×1
	マニュアル・リセット・スイッチ	
電源入力	DC12V	DC2.1 ジャック ×1

2-3　主要部品，コネクタの選定と基板サイズの見積もり

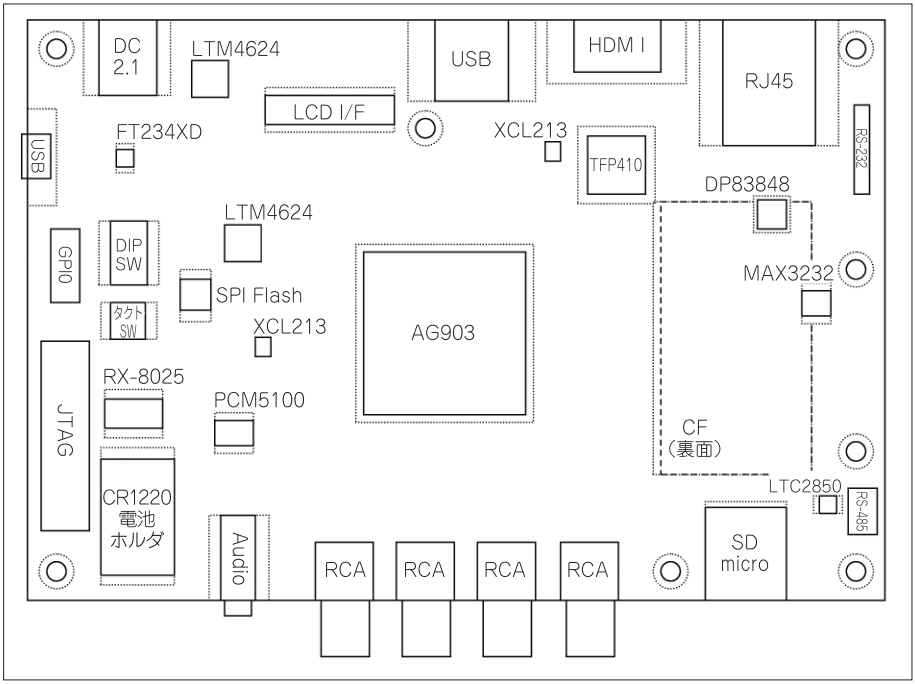
2-2 章では，開発する基板に搭載する SoC を選定し，基本回路やコネクタの仕様を決定しました．その次のステップとして，ここでは主要部品やコネクタの選定，基板上でのレイアウト，基板サイズの見積もりについて解説します．

図 2-9 は，主要部品やコネクタの専有面積，部品間の配線などを基にまとめたレイアウト案です．AG903 の周囲は配線の数が多いので，スペースをとってあります．

レイアウトに慣れていないと，詰め込みすぎて基板パターンの設計時に配線が入りきらなくなったり，部品間の干渉や放熱効率の低下が問題になったりします．逆に，スペースを空けすぎて，むだに大きなサイズの基板になってしまうこともあります．

以下に，選定やレイアウトにおける注意事項を解説していきます．

図 2-9　設計初期の部品レイアウト案



(1) 基板サイズの目標

基板を無理に小型化すると，基板の層数が増えたりビルドアップ基板が必要となってコストアップになります．また，GND 層からの放熱が不十分になり，ヒートシンクが必要になる場合もあります．今回は，基板のサイズに規定を設けず，無理のない範囲で小型化します．レイアウトの検討結果から，はがきサイズ（148mm×100mm）を目標としています．

(2) 部品の選定における注意

主要部品とコネクタは，周辺部品も含めた実装面積，コスト，入手性なども考慮しながら選定します．評価ボードと同じ部品を選定しておくと，メーカから提供されるサンプル・プログラムの流用が容易になる利点があります．

(3) 主要部品の配置における注意

端子配置をよく検討し，AG903 と部品間の配線がなるべくクロスしないように部品を配置していきます．LVDS などの高速ディジタル信号は，パターンの引き回しが短くなるようにします．また，電源電圧が同じ部品はなるべくまとめておく，DC/DC コンバータとアナログ回路はなるべく離す，発熱の大きい部品はなるべく離すなどの点にも注意します．

(4) コネクタの配置における注意

最近は，メーカから外形のCADデータが提供されていることが多く，これを利用すると基板占有面積をイメージしやすいでしょう．コネクタについては，ケーブルが出る方向やカードの挿抜方向にも注意して配置していきます．なお，RCAジャックの間隔は，JEITA規格RC-5231A「電子機器用ピンプラグ・ジャック」に準じて14mmとしました．

実際のケーブルではプラグがコネクタより大きい場合もあるので，ケーブルを嵌合した状態でケーブル同士や基板との干渉がないことを確認することも必要です(**図2-10**)．

基板をケースに入れて使用する場合は，まずコネクタを配置する基板端を決めます．ケースを簡単な構造にするには，1つの基板端，または対面する2つの基板端にコネクタを配置します．ケースの加工を考慮して，配置位置はmm単位とするのが望ましいでしょう．

基板の四隅には，基板固定用のねじ穴を設けます．四隅だけでなく，LCD I/Fのように挿抜時に力がかかって基板がたわむ恐れのある場所の近くには，追加のスタッド取り付け用ねじ穴を用意しておきます(**図2-11**)．また，ピンヘッダの横にあるねじ穴は，ピンヘッダから別のコネクタへの変換基板を固定できるように設けてあります(**図2-12**)．

図2-10　ケーブル同士の干渉を確認する

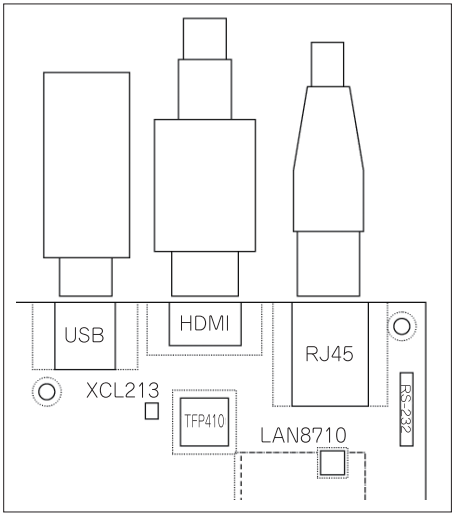


図2-11　たわみ防止用スタッド

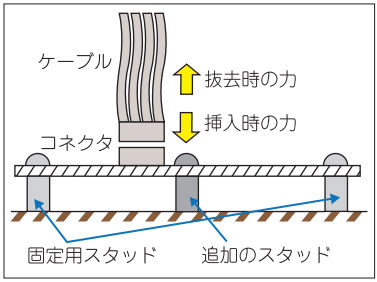
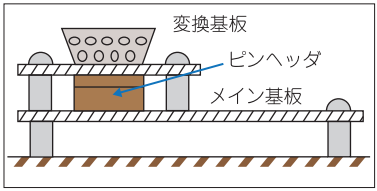


図2-12　コネクタ変換基板



(5) 部品レイアウトの実際

部品のレイアウトは，部品サイズだけでなく，ランド，パッドなどのフットプリント，クリアランスなどを考慮して配置します．

図2-9において，実線は部品本体を示し，点線はその部品周辺に必要な領域を示します．ただし，周辺のチップ部品などは含んでいません．精度を高く見積もるには，チップ部品の占有面積の考慮や，配線領域の考慮が必要になります．

配線領域の見積もりには，基板製造の条件を知ることが必要です．例えば，基板パターンの線幅を W = 0.15mm とする場合，線間クロストーク抑制のため，配線の両側に同じ幅 W のクリアランスを設けるのが一般的（3W 規則）です．このときの最小配線間隔は 0.15mm×2 = 0.3mm となります．CF カードのデータ・バス部分では，16 本を平行配線することになるので，最低でも（0.15mm×3）×16 = 7.2mm 幅の配線領域が必要となります．

LVDS，DVI，USB，NTSC などのインピーダンス指定のラインは，基本的にはビアを経由させず基板表層のみで配線します．ESD 保護素子やノイズ・フィルタなどの実装が必要な場合もあり，予想以上の基板面積が必要になることも多いので注意が必要です．

2-4 消費電流の見積もりと電源の検討

基板で使用する主要部品が決まったところで，各電圧ごとに最大消費電流を見積もり，電源回路や電源配線の検討を行います．最大消費電流の見積もりを**表 2-8** に示します．

表 2-8　最大消費電流の概算見積り

機　能	主要部品	最大消費電流（A）				
		1.15V	1.8V	3.3V	5V	12V
AG903	AX51903（AxeII）	3	0.9	0.3		
	1.8V I/O		0.043			
	1.8V LDO			0.15		
SPI Flash メモリ	N25Q128A13ESE40（Micron）			0.02		
DVI 変換	TFP410（TI）			0.25		
オーディオ DAC	PCM5100（TI）　（3.3V LDO）				0.045	
RS-232 変換	MAX3232EIPW（TI）			0.03		
RS-485 変換	LTC2850（Linear）			0.033		
イーサネット	DP83848K（TI）			0.1		
SD カード				0.2		
CF カード				0.2		
USB					0.5	
	小　計	3	0.94	1.3	0.55	0
LCD 12V						1
LCD 3.3V/5V					1	
DC/DC（5V）	LTM4624（Linear）					1.3
DC/DC(3.3V)	XCL213B333DR（Torex）				0.95	
DC/DC（1.8V）	XCL213B183DR（Torex）				0.38	
DC/DC（1.15V）	LTM4624（Linear）					0.32
	合　計	3	0.94	1.3	2.9	2.6

※ AG903 の最大消費電流値は暫定値です．

この基板では12Vの入力電源から，ディジタル用として12V, 5V, 3.3V, 1.8V, 1.15Vの5種類，アナログ用として3.3V，1.8Vの2種類，合計7種類の電源を出力します．12V出力は入力電源をそのまま使用し，ディジタル用の5V，3.3V，1.8V，1.15VはDC/DCコンバータで生成します．アナログ用の3.3V，1.8VはLDO(Low Drop Out)レギュレータで生成し，その消費電流をディジタル用の方に加算しています．

見積もりに必要な最大消費電流値は，それぞれ主要部品のデータシートで調べます．データシートの値はメーカが定める条件下のものであり，条件が変わればそのまま適用できません．例えば，高速ディジタルI/Oの消費電流は出力数，出力電圧，負荷容量，周波数などの条件を自分で設定し，計算によって求める必要があります．

2-4-1　I/O消費電流の計算

I/Oのドライブに必要な電流 I_{CCO} [mA]は，次式で求まります．

$$I_{cco}=\sum_{n\text{-}1}^{m}\{C_n\cdot(V_{OH}-V_{OL})\cdot F_n\}$$

Fn	：n番目のI/Oのトグル周波数 [MHz]
Cn	：n番目のI/Oに接続される負荷容量の合計 [nF]
V_{OH}	：n番目のI/Oの最大出力電圧 [V]
V_{OL}	：n番目のI/Oの最小出力電圧 [V]
m	：I/O数

ここでは，最も周波数が高くなるAG903のCMOSディジタル・ビデオ出力端子について計算してみます．CMOSディジタル・ビデオ出力は，I/O電圧1.8Vとします．

① クロック端子	② RGBデータ端子
Fn = 165MHz Cn = 2.1pF(AG903) + 5pF(TFP410) + 3.5pF(配線) = 10.6pF = 0.011nF V_{OH} = 1.8V V_{OL} = 0.0V m = 1 I_{CCO_CK} = 0.011nF×1.8V×165MHz×1 = 3.3mA	Fn = 165MHz/2 = 82.5MHz Cn = 2.1pF(AG903) + 5pF(TFP410) + 3.5pF(配線) = 10.6pF = 0.011nF V_{OH} = 1.8V V_{OL} = 0.0V m = 24 I_{CCO_RGB} = 0.011nF×1.8V×82.5MHz×24 = 39.2mA
③ 合計 I_{CCO} = I_{CCO_CK} + I_{CCO_RGB} = 3.3mA + 39.2mA = 42.5mA	

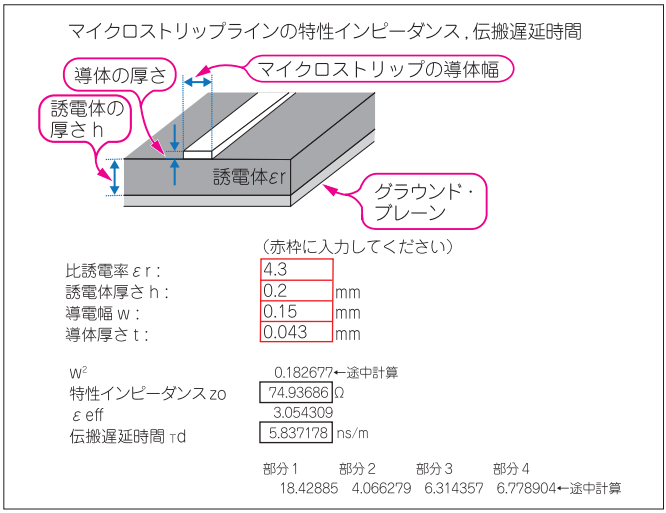
以上の計算では，データシートで調べたICの端子容量と，CMOSディジタル・ビデオ信号の配線容量を負荷としています．配線容量は次のようにして見積もります．

(1) マイクロストリップラインの特性計算

複雑な定数計算を簡単に実行できる便利なツールとして，トラ技エレキ電卓があります．今回は，それを利用してマイクロストリップライン構造の配線の特性インピーダンスと伝搬遅延時間を**図 2-13** のように見積もりました．

基板製造の条件より比誘電率 $\varepsilon r = 4.3$，誘電体厚さ $h = 0.2$mm，導体幅 $w = 0.15$mm，導体厚さ $t = 0.043$mm を入力して，特性インピーダンス $Z0 = 74.9\Omega$，伝搬遅延時間 $\tau d = 5.84$ps/mm が得られました．

図 2-13 トラ技エレキ電卓による計算例



http://toragi.cqpub.co.jp/tabid/316/Default.aspx

(2) マイクロストリップラインの容量計算

マイクロストリップライン構造の配線容量 C_{TRACE} [pF/mm] は，特性インピーダンス Z_0 と伝搬遅延時間 τ_d を用いて，次式で求まります．

$$C_{TRACE} = \frac{\tau_d}{Z_0}$$

よって，5.84/74.9=0.078pF/mm が得られます．

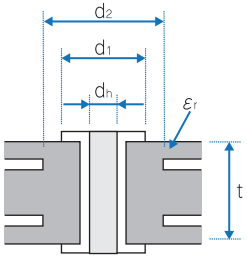
さらに，**図 2-9** のレイアウト案より，AG903 から TFP410 までの配線長を 35mm 程度と想定すれば，配線の静電容量は，

35mm×0.078pF/mm=2.7pF

となります．

(3) ビアの容量計算

CMOS ディジタル・ビデオ信号の配線にビアを使用することを想定し，文献(3)を参考にして，ビアの静電容量 C_{VIA} [pF] を求めてみます．



$$C_{VIA} = \frac{0.055 \cdot \varepsilon_r \cdot t \cdot d_1}{d_2 - d_1}$$

t　：基板の厚さ〔mm〕
ε_r　：基板材料の比誘電率
d_h　：ビアの穴径〔mm〕
d_1　：ビアのランド径〔mm〕
d_2　：内層クリアランス径〔mm〕

ここで，基板製造の条件より t=1.6mm，ε_r=4.3，d_1=0.7mm，d_2=1.4mm とすると，0.055×4.3×1.6mm×0.7mm/（1.4mm−0.7mm）=0.4pF が得られます．2 個のビアを使用すると，0.4pF×2=0.8pF となります．

以上より，配線容量 2.7pF とビア容量 0.8pF を合計して，2.7pF+0.8pF=3.5pF が配線に関わるトータルの静電容量と見積もることができました．

2-4-2　電源回路構成の検討

次に，電源回路の構成を検討します．

一般的に，高性能のプロセッサや SoC を使用するシステムでは，必要な電源の種類が多くなり，コア電源のように低電圧かつ大電流の電源も必要になります．DC/DC コンバータを 1 個所に集めてグローバルに電源を生成すると，基板の電源層数が多くなるとともに，各電源配線が長くなって電圧降下や負荷応答の悪化などの問題を生じます(**図 2-14**)．

電源電圧が同じ部品をなるべくまとめて配置することによって電源層を適宜分割し，さらに部分的に POL(Point of Load)コンバータを組み合わせることによって，電源層数や配線長を削減して効率のよい電源配線を実現できます(**図 2-15**)．

図 2-14　集中型 DC/DC コンバータによる電源構成の例(電源層は 5 層)

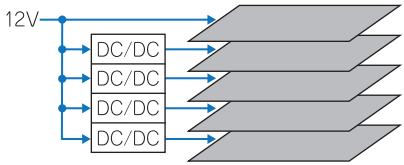
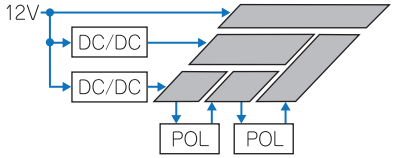


図 2-15　集中型 DC/DC コンバータと POL コンバータを組み合わせた電源構成の例(電源層は 1 層)

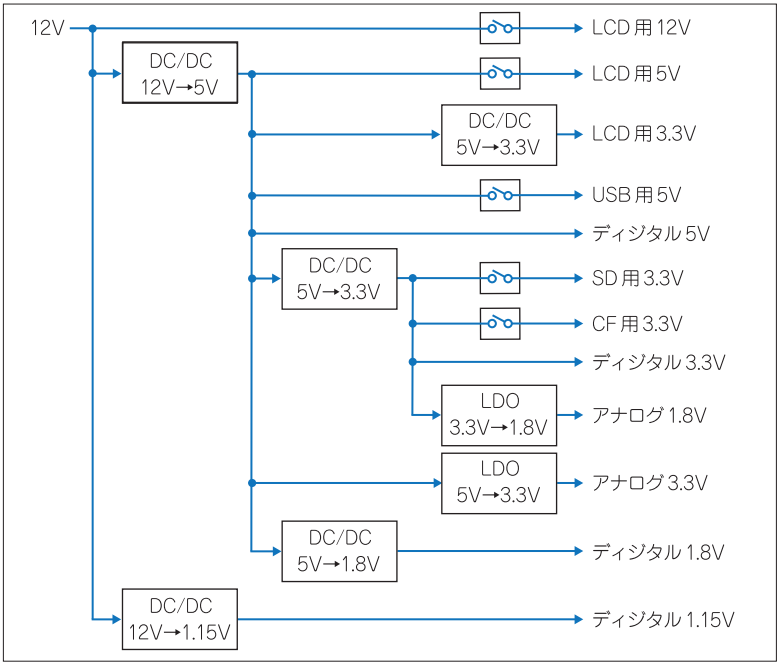


今回の基板に必要な電源を検討して，**図 2-16** のような電源回路構成としました．

12V 入力電源から，DC/DC で 5V を生成し，LCD，USB，5V ディジタル回路に供給します．3.3V などさらに低電圧の電源もこの 5V から生成します．ただし，最も低電圧かつ大電流の 1.15V コア電源は，12V から DC/DC で直接生成します．

基板を小型化するため，DC/DC コンバータとしてはコントローラ，インダクタ，パワー・トランジスタが一体型となった DC/DC コンバータ・モジュールを使用しています．また，DC/DC コンバータには過電流保護，過熱保護などの保護機能が備わったものを選び，突入電流の低減のためソフトスタート機能ももたせています．

図 2-16　電源回路構成



2-4-3　DC/DC コンバータと電源配線の検討

1.15V，1.8V など低電圧の電源は，電圧の許容範囲が狭いため，DC/DC コンバータの出力電圧精度や，配線で生じる電圧変動に注意して設計する必要があります．

DC/DC コンバータは，スタティックな精度だけでなくダイナミックな出力リプル電圧，負荷過渡応答特性を確認し，仕様が満足できる部品を選定する必要があります．配線での電圧変動としては，配線の抵抗成分による IR ドロップや，配線のインダクタンス成分による電圧変動が問題となります．

(1) LTM4624 の出力電圧精度の計算

1.15V 生成に用いる LTM4624（リニアテクノロジー）の出力電圧 V_{OUT}［V］は，外付けの抵抗 R_{FB} を用いて，次式のように求まります．

$$V_{OUT} = \frac{0.6V \times 60.4k\Omega}{R_{FB}} + 0.6V$$

R_{FB} = 66.5kΩとすれば，0.6V×60.4kΩ/66.5kΩ+0.6V = 1.14V が得られます．

高い電圧精度を得るためには，抵抗の精度が重要です．また，上記の式では定数となっている 0.6V，60.4kΩは LTM4624 内部のパラメータであり，精度の検討が必要です．

① 高精度の抵抗を検討する

抵抗値許容差 0.5%，抵抗温度係数 ±25ppm/℃の精密金属皮膜チップ抵抗 RR0816P-6652-D-80C（進工業）を検討します．

任意の温度における抵抗値 R［Ω］は，次式で求まります[1]．

$$R = R_a\{1 + (T - T_a) \cdot \alpha \times 10^{-6}\}$$

α　：抵抗温度係数［ppm/℃］
R_a　：基準温度における抵抗値［Ω］
T_a　：基準温度［℃］

ここで，0℃～70℃の範囲で抵抗値を計算してみると，

+25ppm/℃，+70℃　：66.5kΩ×{1+(70–20)×25×10^{-6}}　= 66.6kΩ
+25ppm/℃，　0℃　：66.5kΩ×{1+(0–20)×25×10^{-6}}　= 66.5kΩ
−25ppm/℃，+70℃　：66.5kΩ×{1+(70–20)×(-25)×10^{-6}}　= 66.4kΩ
−25ppm/℃，　0℃　：66.5kΩ×{1+(0–20)×(-25)×10^{-6}}　= 66.5kΩ

より，66.4kΩ～66.6kΩの範囲で変化することがわかります．これに，抵抗許容差 ±0.5% を考慮すると，抵抗 R_{FB} は 66.1kΩ～66.9kΩの範囲で変化することになります．

② LTM4624 のパラメータを検討する

出力電圧 V_{OUT} の計算式における定数 0.6V，60.4kΩは，データシートから最大値と最小値を読み取れます．これらの変動を考慮すると，出力電圧 V_{OUT} の変動範囲は，

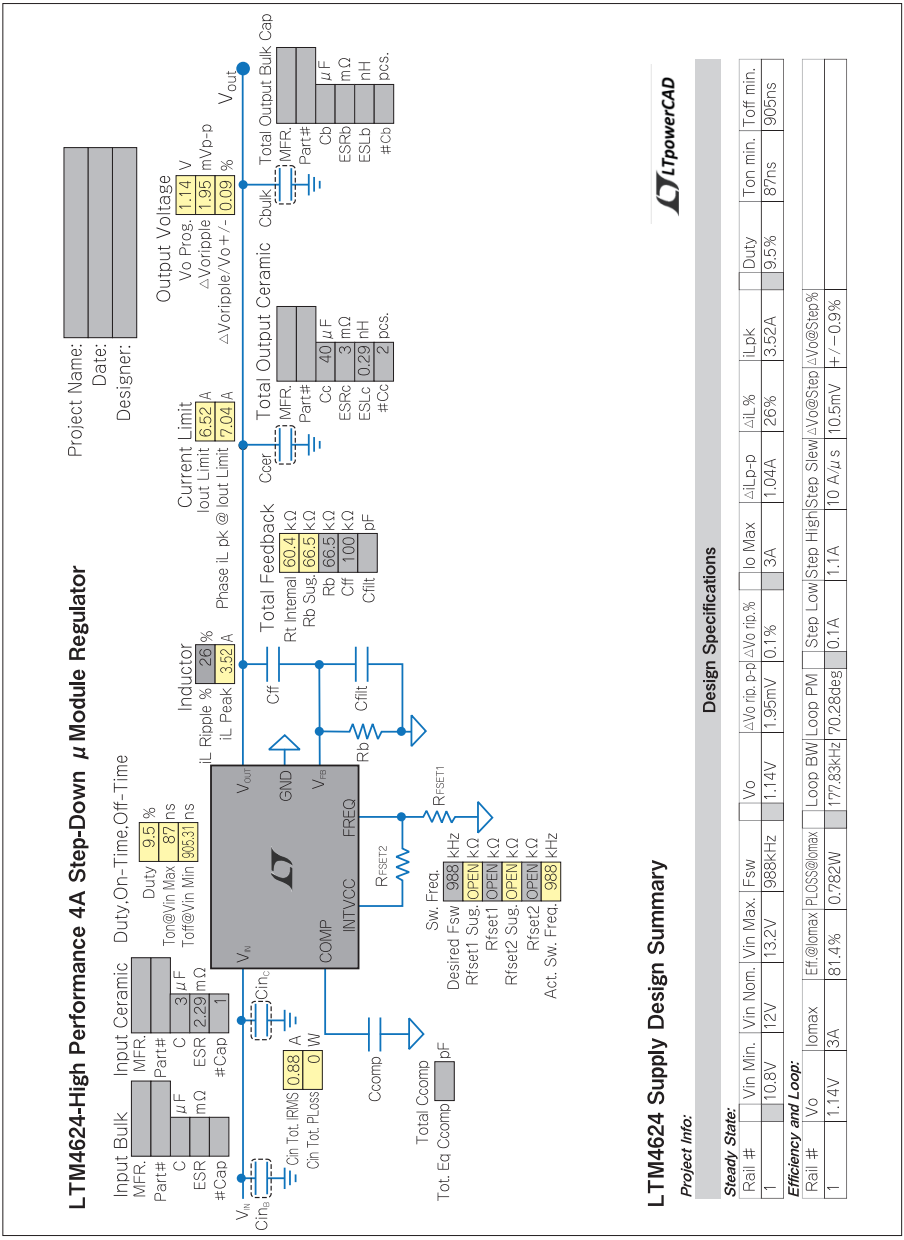
V_{OUT} (max) = 0.609V×60.75kΩ/66.1kΩ+0.609V = 1.17V(=1.15V+1.7%)
V_{OUT} (min) = 0.591V×60.05kΩ/66.9kΩ+0.591V = 1.12V(=1.15V–2.6%)

となります．LTM4624 の出力電圧精度は，1.15V に対して +20mV/–30mV となることが分かりました．ΔV_{OUT} = ±30mV と見積もります．

(2) LTM4624 の出力リプル電圧の計算

LT4624 の出力リプル電圧は，リニアテクノロジーの電源設計ツール LTpowerCAD II を用いて計算できます．およそ，ΔVo rip. p-p=±0.98mV と見積もれます（**図 2-17**）．

図 2-17　LTpowerCAD II による LTM4624 を用いた 1.15V 電源回路の特性



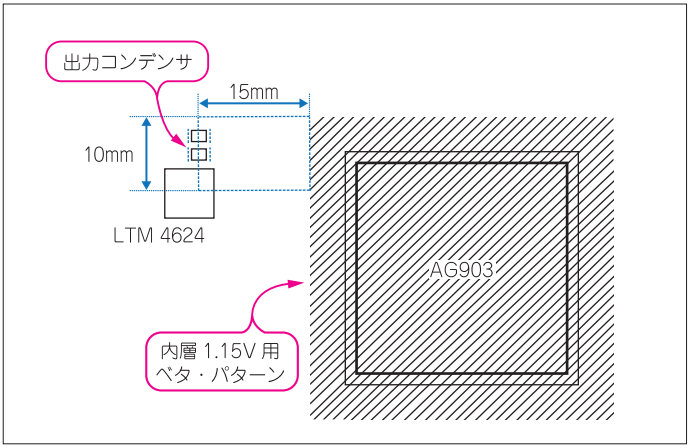
(3) 1.15V 電源配線での IR ドロップの検討

次に，配線での電圧変動を見積もります．1.15V コア電源は出力電流が 3A と大きいため，基板の配線抵抗から生じる IR ドロップが大きくなります．

一般に，高性能システムの基板設計では多層基板を採用して内層ベタ GND を広く取り，ビア数も多くすることが推奨されます．ベタ GND 層と複数ビアの採用は，配線の抵抗やインダクタンスを低減し，放熱効率を向上する利点があります．この場合，GND 配線の IR ドロップは簡単化のために無視できます．

図 2-9 のレイアウト案から，LTM4624 から 1.15V 電源ベタ・パターンまでは 10mm 幅，15mm 長で配線可能と想定できます（**図 2-18**）．この部分の IR ドロップを計算します．

図 2-18　検討時の 1.15V 電源パターン



任意温度における配線パターンの直流抵抗 R_{TRACE}［Ω/mm］は，次式で求まります．

$$R_{TRACE}=\rho_{20}\frac{\ell}{t\cdot w}\{1+(T-T_a)\cdot a_{20}\}=(0.068T+15.9)\times10^{-6}\frac{\ell}{t\cdot w}$$

T　：温度［℃］
ℓ　：パターン長［mm］
t　：パターンの厚さ［mm］
w　：パターン幅［mm］
Ta　：基準温度 20℃[2]
ρ_{20}　：20℃における標準軟銅の体積抵抗率 0.017241 Ω mm²/m[2]
α_{20}　：20℃における標準軟銅の温度係数 0.00393[2]

線幅 w=10mm，基板内層に設ける電源層の厚さ t = 0.035mm，配線長 ℓ =15mm，電流 3Amax, T=70℃max として電源配線による IR ドロップ $V_{DROP(1.15V)}$ [mV]を計算すると，

$R_{TRACE(1.15V)} = (0.068 \times 70℃ + 15.9) \times 10^{-6} \times 15mm / (0.035mm \times 10mm) = 0.89m\Omega$

$V_{DROP(1.15V)} = 0.89m\Omega \times 3A = 2.7mV$

と想定されます.

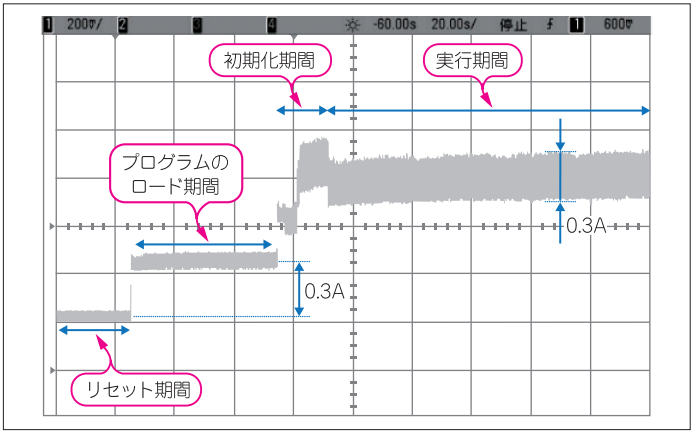
(4) 1.15V 電源の負荷過渡応答と配線インダクタンスの検討

AG903 で使用される 1.15V に必要な精度は ±5% で，これは ±57.5mV に相当します. ここから，LTM4624 の出力電圧精度 30mV，出力リップル 0.98mV，配線による IR ドロップ 2.7mV を差し引くと, 57.5mV–30mV–0.98mV–2.7mV=24mV となります.

LTM4624 の負荷過渡応答と配線のインダクタンス成分による電圧降下が，この 24mV 内に入るかどうかを検討します. 実際の負荷電流のパターンを基に，負荷電流変動 dI/dt が大きくなる部分を見出し, 特性値の計算やシミュレーションなどによって評価を行います.

図 2-19 に，AG903 コア電源の負荷電流の観測例を示します. AG903 のリセット後にプログラムがロードされるタイミングで大きなステップ状の電流変動を生じていることが分かります. また，AG903 によるプログラム実行期間中は, 0.3Ap-p 程度の負荷変動がきわめて短周期で連続的に発生しています.

図 2-19　AG903 コア電流の観測例（200mV/div=0.25A/div, 20s/div）



① ステップ変動に対する負荷過渡応答の確認

まず，ロード開始時のステップ状の電流変動に対する DC/DC コンバータの負荷過渡応答を確認します. **図 2-17** の LTpowerCAD II による計算結果を参照すると, 1A 負荷ステップに対する負荷過渡応答で ΔVo@Step=10.5mV の電圧降下が生じることがわかります. これは 24mV より低く, 余裕もあるため, 仕様としては満足できそうだと分かります.

② 短周期の負荷変動に対する電源配線の目標インピーダンス

AG903の実行期間中に連続的に発生している短周期の負荷変動の影響を検討します.

最大許容リップル電圧ΔV=24mV，最大過渡電流ΔI=0.5Aとして1.15V電源配線のターゲット・インピーダンス$Z_{T(1.15V)}$［Ω］を計算すると，

$Z_{T(1.15V)}=\Delta V/\Delta I = 24mV/0.5A = 48m\Omega$

となります. すなわち，LTM4624からAG903までの電源配線のインピーダンスを48mΩ以下に抑えることが必要です.

この条件を満たすことが可能かどうか，ビアのインダクタンス，配線のインダクタンス，パスコンの特性などを考慮してシミュレーションで検証します.

③ ビアのインダクタンス

文献(3)を参考にして，電源層を接続するビアのインダクタンス$L_{VIA(1.15V)}$［nH］を求めてみます. 基板表層から内層の電源層までの距離t=1.3mm, ビアの穴径d_h=0.35mmとして，

$$L_{VIA(1.15V)}=0.2t\left(\ell n\frac{4t}{d_h}+1\right)=0.2\times1.3mm\times\left(\ell n\frac{4\times1.3mm}{0.35mm}+1\right)=0.96nH$$

が得られます.

GND層を接続するビアのインダクタンス$L_{VIA(GND)}$［nH］は，基板表層から内層のGND層までの距離t=0.2mm, ビアの穴径d_h=0.35mmとして，

$$L_{VIA(GND)}=0.2\times0.2mm\times\left(\ell n\frac{4\times0.2mm}{0.35mm}+1\right)=0.07nH$$

が得られます.

④ 配線のインダクタンス

LTM4624の出力コンデンサから1.15V電源ベタ・パターンまでの配線は，先に検討したように10mm幅，15mm長のパターンと想定され，$R_{TRACE(1.15V)}$=0.89mΩと計算できます. 文献(4)を参考にして, この配線のインダクタンス$L_{TRACE(1.15V)}$［nH］を求めてみると

$$L_{TRACE(1.15V)}=0.4\ell\left(\frac{h}{W}\right)^{0.6}=0.4\times15mm\times\left(\frac{0.2mm}{10mm}\right)^{0.6}=0.57nH$$

が得られます.

⑤ パスコンの考慮

図2-17に示したLTpowerCAD IIによる計算結果より, LTM4624のループの帯域幅はLoop BW=177.83kHzとなっています. これを超える周波数の電流変化に対しては, パスコンで安定化させる必要があります.

⑥ 電源配線インピーダンスのシミュレーション

1.15V電源の等価回路をLTpowerCAD IIからLTspiceにエクスポートし，ビアと電源配線の抵抗，インダクタンスを追加し, メーカが示す特性値を適用したパスコンを追加した回路を**図2-20**に示します.

図 2-20　LTspice による 1.15V 電源の確認用回路例

DC/DC と示した枠内の回路が LTspice 用にエクスポートされた回路（Lviag1 は後で追加）

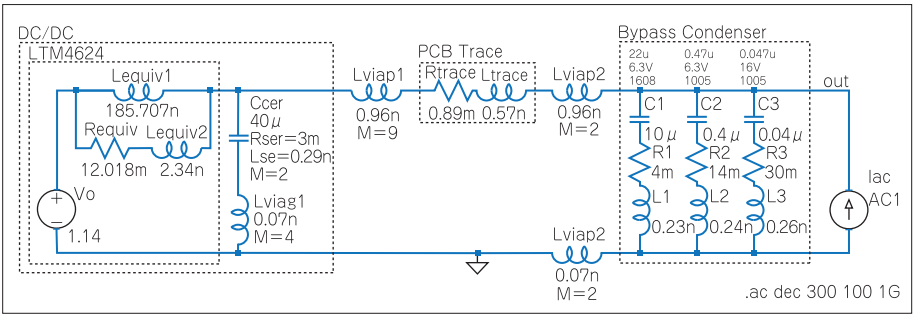
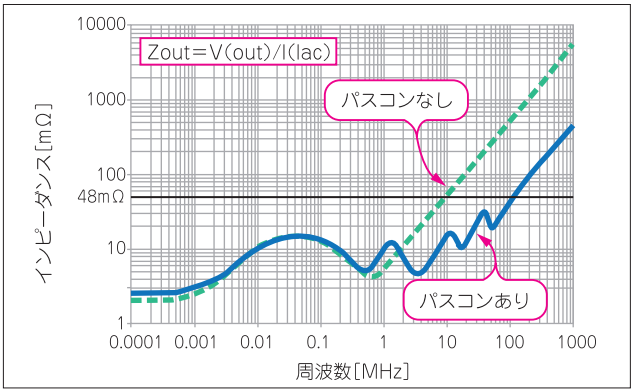


図 2-21 が，この回路を LTspice でシミュレーションした結果です．適切なビアの数とパスコンを使用すれば，100MHz 以下の電源回路のインピーダンスを 48mΩ 以下にできることが確認できました．

このシミュレーションは実際の電源パターンによるものではありませんが，レイアウト案の段階で 1.15V 電源配線を 10mm 幅，15mm 長で引けることが分かっていれば，DC-DC コンバータとして LTM4624 を選定可能なことが分かります．

図 2-21　LTspice による 1.15V 電源回路のシミュレーション結果



(5) 1.8V 電源の検討

1.8V 電源についても，同様にして DC/DC コンバータと電源配線の検討を行います．1.8V の電流見積もりは**表 2-8** より 0.94A なので，約 1A として評価します．

XCL213B183DR（トレックス・セミコンダクター）の出力電圧精度は 1.8V ± 2%（1.8V ± 36mV）．リップル電圧は，データシートの XCL213，V_{IN}=5.0V，V_{OUT}=1.8V における「リップル電圧 − 出力電流特性例」から読み取って，I_{OUT}=1A 時に概ね ±13mV です．

XCL213B183DR から 1.8V 電源ベタ・パターンまでの配線を，配線長ℓ=15mm，線幅 w=10mm，電流 1Amax，T=70℃max として IR ドロップ $V_{DROP\ (1.8V)}$［mV］を計算すると，

$R_{TRACE(1.8V)}$= (0.068×70℃+15.9)×10^{-6}×15mm/(0.035mm×10mm)= 0.89mΩ

$V_{DROP(1.8V)}$= 0.89mΩ×1A = 0.89mV

が想定されます．

AG903 で使用される 1.8V に必要な精度は ±5% であり，これは ±90mV に相当します．これから，XCL213B183DR の出力電圧精度 36mV，出力リップル 13mV，電源配線による IR ドロップ 0.89mV を差し引くと，90mV–36mV–13mV–0.89mV=40mV となります．この 40mV 内に XCL213B183DR の負荷過渡応答と配線のインダクタンス成分による電圧降下が入れば，仕様は満たされると評価できます．

XCL213B183DR は特性確認用のツールが提供されていませんが，データシートの XCL214，VIN=5.0V，VOUT=1.8V における「負荷過渡応答特性例」を確認すると，IOUT=0.1A⇔1A の負荷ステップに対して，±38mV 程度の電圧変動が確認できます．40mV より低いため，仕様としては満足しそうだということが分かります．

最大許容リップル電圧ΔV=40mV，最大過渡電流ΔI=0.5A としてターゲット・インピーダンス $Z_{T(1.8V)}$［Ω］を計算すると，

$Z_{T(1.8V)}$ = ΔV/ΔI = 40mV/0.5A = 80mΩ

となります．XCL213B183DR から AG903 の端子までのパスコンを含めた電源回路のインピーダンスを 80mΩ以下に抑えることが必要です．

1.15V 電源回路の確認では，電源配線が 10mm 幅，15mm 長で引ければ電源回路のインピーダンスを 48mΩ以下とできました．同様に 1.8V 電源回路でも同じ構成がとれれば，1MHz 以上の電流変動に対しては配線とパスコンの影響が支配的なことより，インピーダンスを 80mΩ以下で実現できると判断できます．

レイアウト案の段階で大まかな特性確認を行い，基板配線やパスコンの条件を見定めておけば，パターン設計の段階になってから配線がうまく引けなくなったり，所定の特性が得られなくなって設計の大幅な手戻りが発生することを防止できます．

◆ 参考文献 ◆

(1) JIS C 5201-1：2011，電子機器用固定抵抗器ー第 1 部：品目別通則，日本工業規格
(2) JIS C 3001-1981，電気用銅材の電気抵抗，日本工業規格
(3) John Ardizzoni；高速プリント回路基板レイアウトの実務ガイド，アナログ・デバイセズ
(4) デジタル IC の電源ノイズ対策・デカップリング アプリケーションマニュアル，㈱村田製作所
(5) RR シリーズ金属皮膜チップ抵抗器（精密級）製品カタログ，進工業㈱
(6) LTM4624 データシート，リニアテクノロジー
(7) XCL213/XCL214 シリーズ・データシート，トレックス・セミコンダクター

第3章 回路設計の詳細

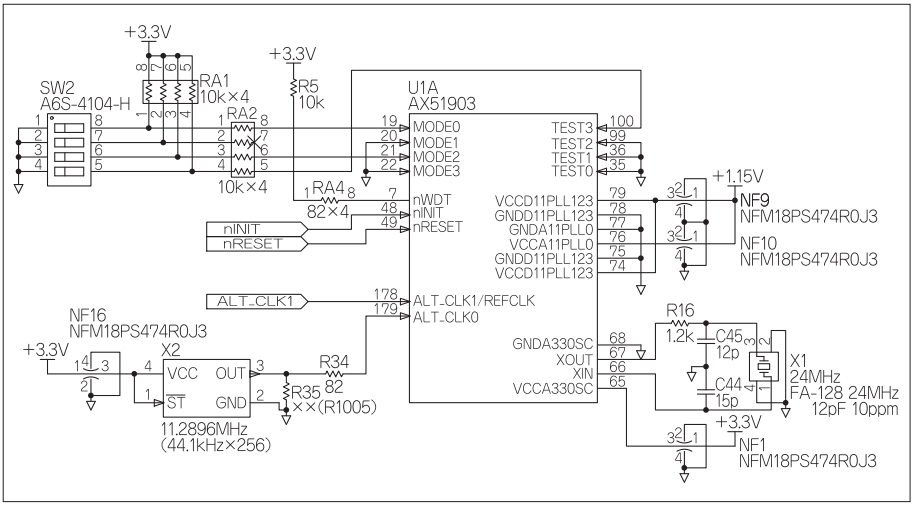
本章では，第2章で策定した基本回路構成と主要部品に従って，基板全体にわたって詳細な回路設計を進めていきます．実用性や信頼性を重視し，EMC対策，ESD保護などについても十分に配慮した設計を行っています．

3-1 AG903システム関連

AG903を動作させるために必要なクロック回路，リセット回路，電源周りのパスコンやフィルタなどについて解説します．

図3-1に，AG903システム周辺回路の主な部分を示します．リセット回路や電源周りについては，次ページ以降に回路図を示します．

図3-1　AG903システム周辺回路



(1) クロックとブート・モード切替え

水晶振動子X1を用いてAG903の動作クロックを生成します．AG903の内蔵USBコントローラを使用する場合，X1は24MHzを用います．本基板では，X1はAG903評価ボードと同じFA-128（セイコーエプソン）を使用します．発振回路を構成するR16，C44，C45もAG903評価ボードと同じ定数を適用しておき，改めて実機でマッチングを評価します．

オーディオ用マスタ・クロックを発生するために，11.2896MHz(=44.1kHz×256)の水晶発振器X2を使用しています．X2の電源端子にはノイズ・フィルタ(NF16)を使用しています．ただし，オーディオを使用しないときや，AG903内蔵PLLでオーディオ用クロックを生成する場合には，X2を実装せずR35でプルダウンします．X2を実装する場合には，R35は使用しません(回路図のxx( )は未実装の意味)．

DIPスイッチのSW2は，AG903のブート・モードを切り替えるためのものです．

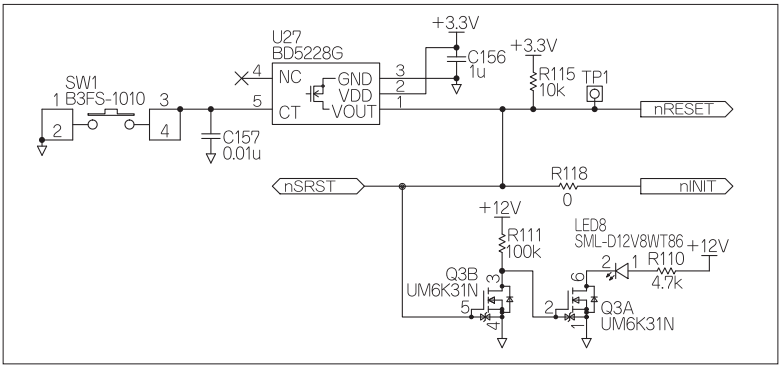
(2) リセット回路

図3-2にリセット回路を示します．

AG903のリセット信号nRESETは，リセットICのBD5228G(ローム)で生成します．BD5228Gによって検出電圧(2.8V±1%)，電源投入時や瞬断時におけるリセット信号のLレベル，スイッチSW1によるマニュアル・リセットを含めたリセット期間が保証されます．出力はオープン・ドレインで，R115でプルアップしています．

リセット期間はコンデンサC157で設定します．0.01[uF]×5.4 = typ. 54ms(min (0.01[uF] -10%)×2 = 18ms)としています．

図3-2　リセット回路



さらに，JTAGデバッガから基板をリセットしたり，基板のリセット状態をJTAGデバッガが検出できるように，JTAGデバッガのnSRST(双方向信号)をnRESETに接続しています．JTAGインターフェースについては3-15章で解説します．

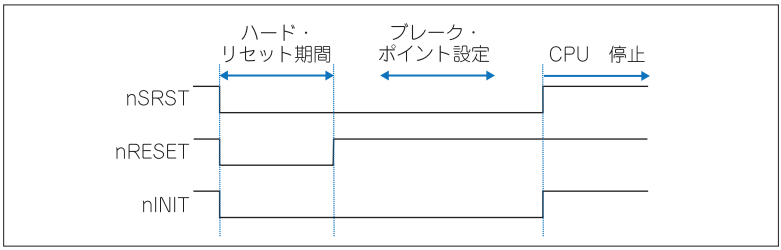
デバッグ時のリセットには次のような注意点があります．

AG903のnRESET端子をLにしている期間中は，AG903のすべての機能がリセットされるので，デバッガからブレーク・ポイントを設定できません．nSRSTを用いてnRESET=Lとすると，リセット解除後にリセット・ベクタでCPUを停止させられなくなります．

一方，nINIT端子をLにしている期間中は，AG903の内蔵CPUと一部の機能ブロックのみがリセットされるので，ブレーク・ポイントの設定が可能です．

リセット・ベクタでCPU停止を可能にしたい場合には，理想的には**図3-3**のようなタイミングでnRESETとnINITを制御し，nRESETを先に解除してブレーク・ポイント設定を行います．JTAGデバッガがリセット・ベクタを設定するタイミングは標準規格がないので，使用するJTAGデバッガと連携して適切なタイミングとなるように設計する必要があります．

図3-3　リセット・ベクタでCPUを停止させる場合のリセット・タイミング例



(3) AG903の電源周り

図3-4にAG903の電源周りの回路を示します．

+3.3V，+1.8V，+1.15VをAG903に供給しています．+1.8Vを抵抗分圧して，AG903内蔵DDR用のリファレンス電圧DDR_VREFCAを生成しています．

電源端子にはパスコンを接続し，電源品質が重要なアナログ回路用電源端子やPLL用電源端子はノイズ・フィルタで電源分離します．本基板では，内層にベタGNDを設けることを前提として，チップエミフィルNFM18PS474R0J3(村田)で電源分離とパスコンを兼ねています．内層GNDが使用できない場合は，チップビーズを組み合わせて電源分離します．

図3-4　AG903の電源端子接続

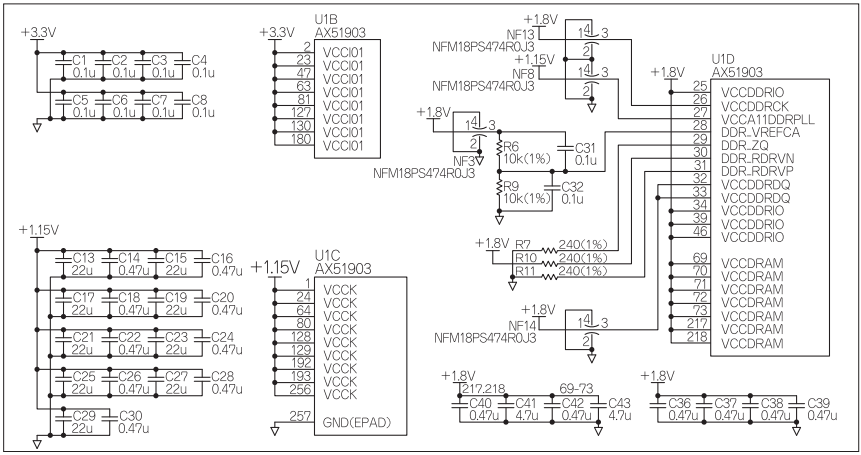


図 3-5～3-6 は，0.47uF チップエミフィル(OUT1)，0.47uF チップコンデンサ(OUT2)，チップビーズ +0.47uF チップコンデンサ(OUT3)の三つについて，パスコンの効果を LTspice を用いて比較したものです．

チップエミフィル(OUT1)は，リード線の L 成分や R 成分を極小に抑えた三端子コンデンサ構造の部品であり，最も高い周波数まで良好な特性が得られています．

図 3-5　LTspice を用いたパスコン比較用回路

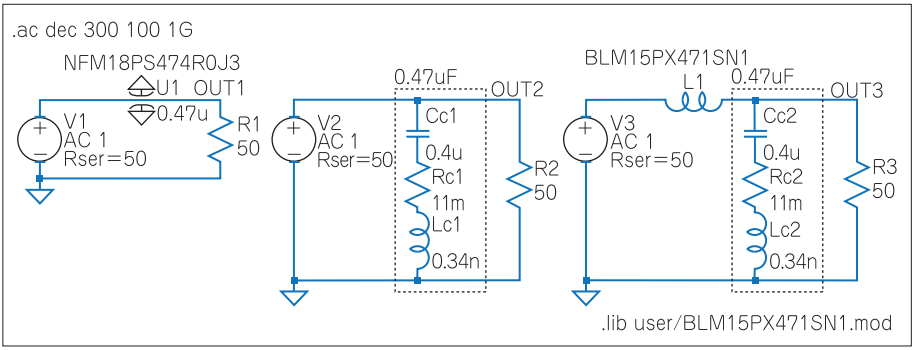
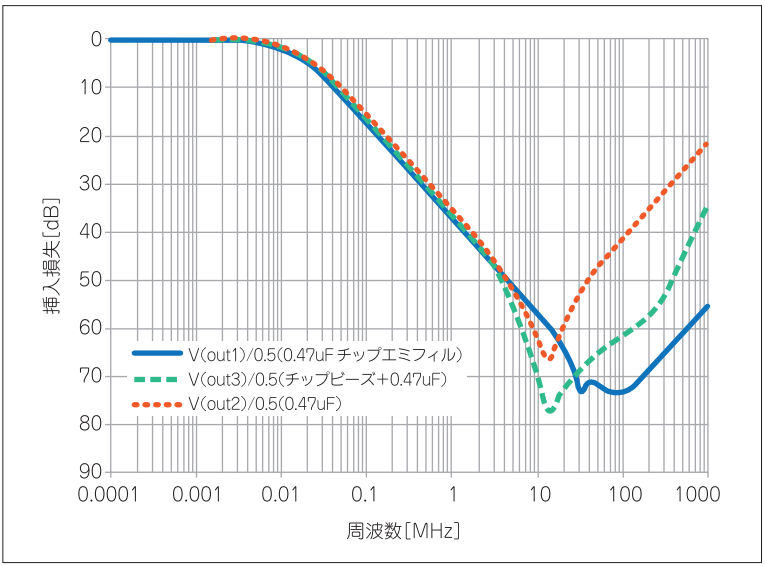


図 3-6　LTspice を用いたパスコン比較結果



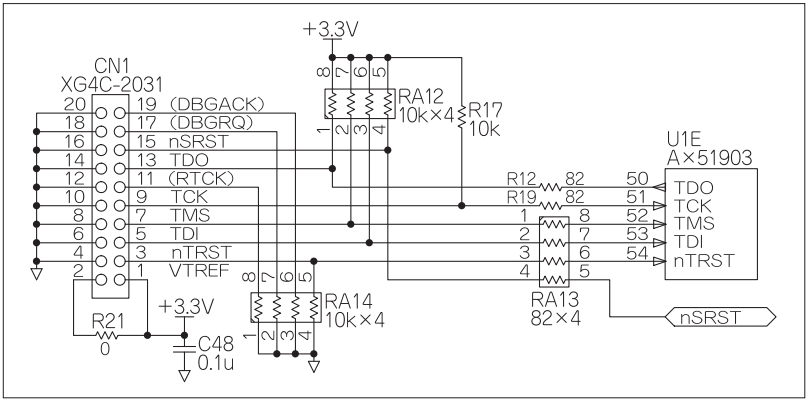
3-2 JTAGインターフェース

図3-7にJTAGインターフェース回路を示します．

AG903のJTAG信号線をコネクタCN1に接続しています．市販のJTAGデバッガと接続しやすいように，ARM JTAG 20仕様のコネクタ(20ピン2.54mmピッチ・ピンヘッダ)を使用し，回路構成もそれに準じています．nSRSTは，デバッガから基板をリセットしたり，リセット状態をデバッガが検出するための信号線です(3-1章参照)．信号線には，ダンピングとAG903の保護を兼ねて抵抗R12，R19，RA13を挿入しています．

nTRSTは，AG903の内蔵TAPコントローラのリセット信号です．JTAGデバッガが未接続でもノイズによる誤動作を防ぐため，TAPコントローラのリセット状態が維持されるように，nTRSTはプルダウンしてあります．TAPコントローラはAG903のJTAG機能を制御するためのもので，リセット状態のままでも通常動作には支障ありません．

図3-7　JTAGインターフェース回路



3-3 RS-232インターフェース

AG903のUART0をUSB-シリアル・インターフェース，UART2をRS-232インターフェース，UART3をRS-485インターフェース(3-4章で解説)として使用します．

(1) USB-シリアル・インターフェース

図3-8にUART0インターフェース回路を示します．

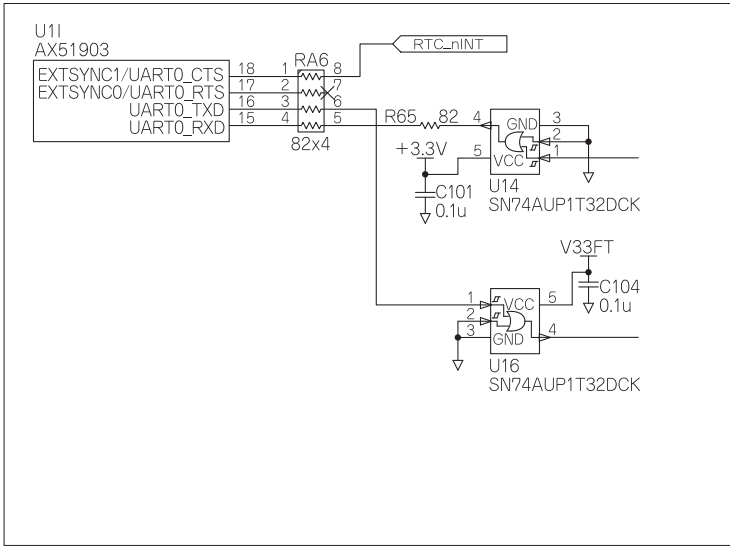
AG903のUART0は他の機能とピン・マルチプレクスされていないので，デバック用や保守用の通信ポートに適します．本基板では，デバッグ時などに容易にPCに接続できるように，FT234XD(FTDI)を用いてUSBに変換します．制御信号は使用しないので，UART0_CTSはGPIOに割り当て，RTC割込み入力(RTC_nINT)に使用します．

USB変換によって，非同期シリアルでも高ビット・レートの通信が可能です．FT234XDの最大ビットレートは3Mbpsですが，AG903のUART用クロックが100MHzの場合には，分周比の関係で使用可能な最大ビットレートは2Mbpsとなります．

FT234XDはセルフパワーでもUSBバスパワーでも動作可能です．セルフパワー動作時は，基板の電源ON/OFFに連動してPC側でUSB挿抜の処理が働いてしまいます．本基板ではSN74AUP1T32(TI)で分離して，USBバスパワーで動作させています．

FT234XDとCN3間の配線がクロスしないように，リバース・タイプのUSB micro-Bコネクタを使用します．TVSダイオードDF3A6.8LFV(東芝)とコモンモード・フィルタLXES11DAA2-137(村田)を用いてケーブル挿抜時のESDから保護しています．

図3-8　UART0インターフェース回路



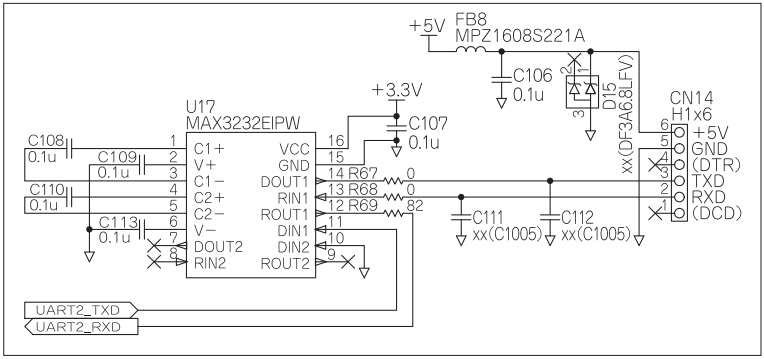
(2) RS-232 インターフェース

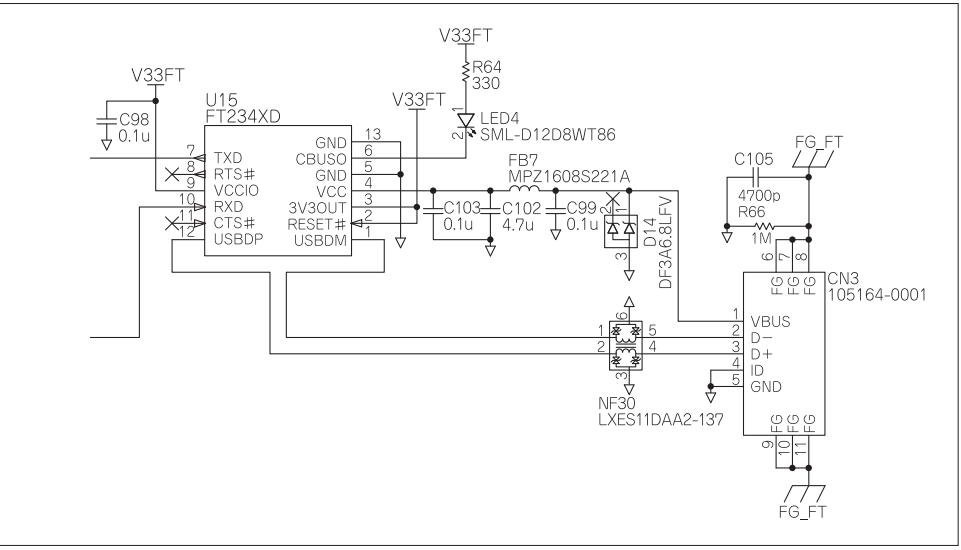
図 3-9 に RS-232 インターフェース回路を示します．

UART2 は，MAX3232E(TI)によって RS-232 レベルに変換します．USB 接続と異なり，ソフトウェア処理が容易にできます．RS-232 は機器内接続もケーブル接続も想定されますが，MAX3232E はスルーレートが制限されており，ケーブル伝送にも適します．EMC 対策を追加できるように R67，R68，C111，C112 用の基板パターンを設けてあります．

タッチパネル制御基板などとの接続で必要となる +5V 電源も，コネクタに出しています．EMC 対策としてチップ・フェライト・ビーズ MPZ1608S221A(TDK)を使用し，さらに ESD 保護ダイオードも実装可能にしてあります．

図 3-9　RS-232 インターフェース回路





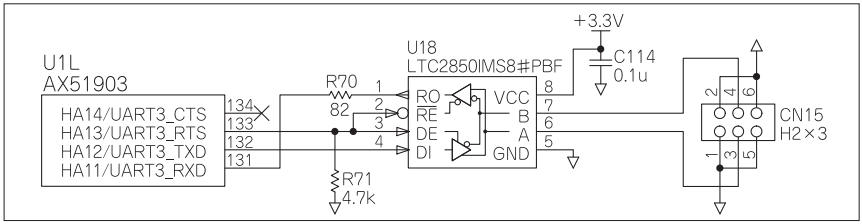
3-4 RS-485 インターフェース

図 3-10 に RS-485 インターフェース回路を示します．

UART3 インターフェースを RS-485 モードで使用し，LTC2850（リニアテクノロジー）で RS-485 レベルに変換します．RS485 はマルチドロップ接続が可能なので，ドライバの方向制御が必要になります．AG903 では UART3_RTS がドライバ制御信号として使用できるため，これを LTC2850 の DE 端子と /RE 端子に接続しています．

AG903 の UART3_RTS 端子は，初期状態で内蔵プルアップが有効となっています．電源投入直後に LTC2850 の出力がアクティブになってしまうのを防ぐために，確実に L レベルが得られる 4.7kΩの外付けプルダウン抵抗 R71 を使用しています．

図 3-10　RS-485 インターフェース回路

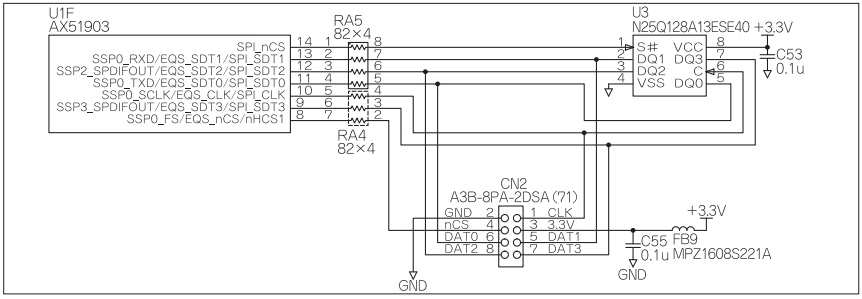


3-5 SPI フラッシュ・メモリ

図 3-11 に SPI フラッシュ・メモリ回路を示します．

SPI フラッシュ・メモリの N25Q128A（Micron）を，AG903 の内蔵 SPI-ROM コントローラに接続しています．これによって，SPI フラッシュ・メモリに格納されたプログラムからの起動が可能となります．高速にアクセスできるように，4 線式 I/O 対応の SPI フラッシュ・メモリを用いると良いでしょう．

図 3-11　SPI フラッシュ・メモリ回路



さらに，機能拡張のためにAG903のEQSインターフェースをコネクタCN2に出してあります．クロックとI/Oは，SPIフラッシュ・メモリとEQSインターフェースで共用しますが，それぞれにチップ・セレクトを用意しているため，排他的に使用できます．

3-6 アナログ・ビデオ入力インターフェース

図3-12にアナログ・ビデオ入力インターフェース回路を示します．

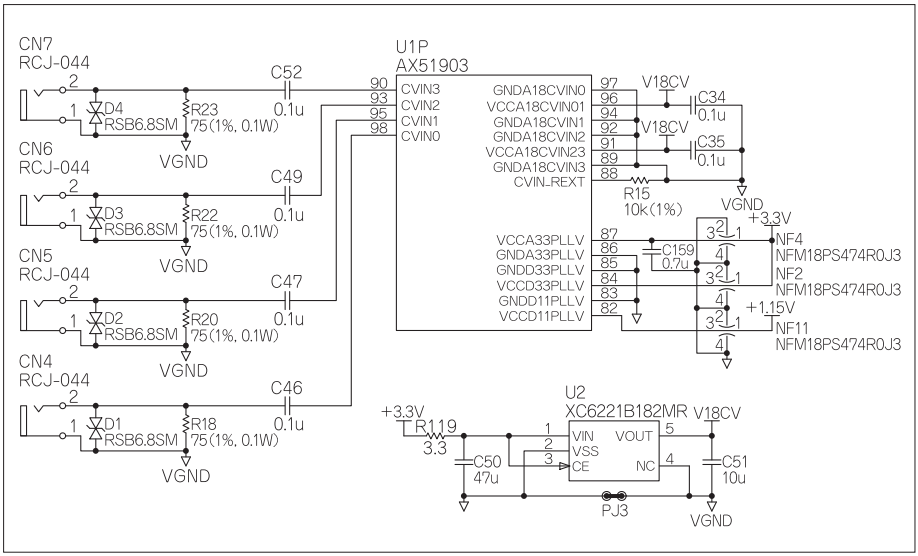
NTSC/PALコンポジット・ビデオ信号を，AG903の4チャネルのアナログ・ビデオ入力(CVIN0～3)に入力します．コネクタは一般的なRCAコネクタです．

コネクタはケーブル挿抜や接触の頻度が高いことが想定されます．ESD保護のために，双方向タイプのTVSダイオードRSB6.8SM(ローム)でクランプしています．

ビデオ信号へのノイズ混入を防ぐため，アナログ用+1.8V電源(V18CV)としてノイズの少ないクリーンな電源が必要です．本基板では，LDOレギュレータXC6221B182(トレックス・セミコンダクター)を用いて+3.3V電源から生成しています．さらに，LDOレギュレータの入力には，ノイズ除去用のCRフィルタを使用しています．また，PJ3は配線パターンでジャンパーを形成し，ディジタル・グラウンドとビデオ用グラウンド(VGND)を一点でアースしています．

AG903のアナログ・ビデオ入力用PLLの電源は，パスコンを兼ねたチップエミフィルNFM18PS474R0J3(村田)で電源分離しています．

図3-12　アナログ・ビデオ入力インターフェース回路



3-7 LCDインターフェース

図 3-13 に LCD インターフェース回路を示します．

(1) AG903 と LCD モジュールのインターフェース回路

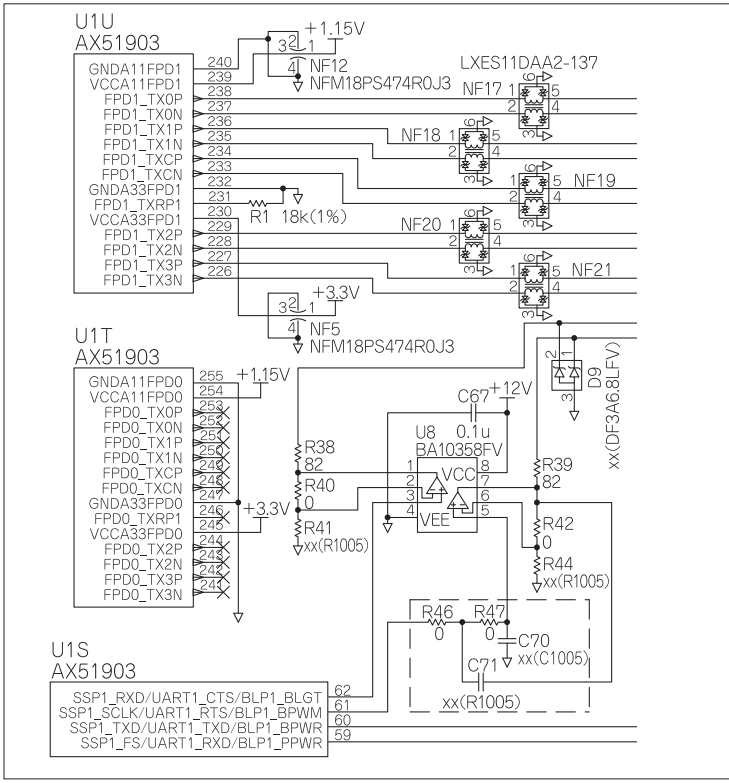
AG903 の LVDS ビデオ出力インターフェースを用います．シングル・リンクの LVDS ビデオ出力と CMOS ビデオ出力を併用する場合は，LVDS はチャネル 1 を使用します．

AG903 の LVDS ビデオ出力用アナログ電源(VCCA33FPD1，VCCA11FPD1)は，パスコンを兼ねたチップエミフィル NFM18PS474R0J3(村田)で電源分離しています．

本基板のコネクタ(CN11)と LCD モジュールの間はケーブルで接続するため，EMC 対策としてコモンモード・フィルタ LXES11DAA2-137(村田)を挿入しています．

LCD モジュールの前面にタッチパネルが装着されると，LCD インターフェースが ESD を受けやすくなるので，保護ダイオードを実装できるようにしてあります．

図 3-13
LCD インターフェース回路



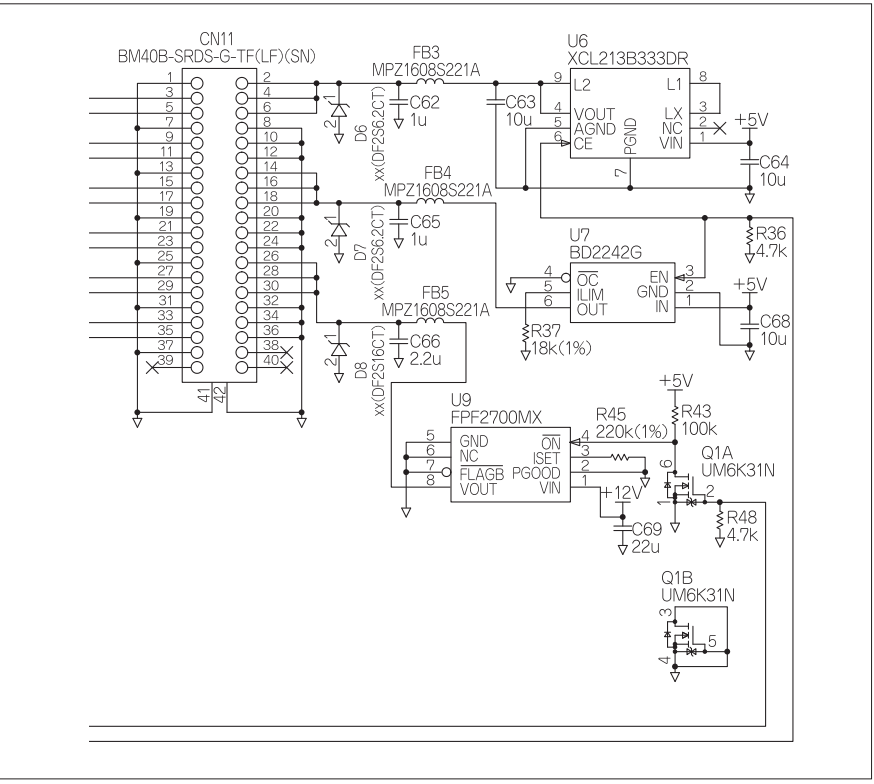
(2) LCD モジュール用とバックライト用の電源回路

AG903 と LCD モジュールのインターフェース回路のほか，LCD モジュール用とバックライト用の電源回路および制御回路をコネクタに出しています．LCD モジュール電源は一般的に +5V か +3.3V，バックライト電源は一般的に +12V が使用されます．バックライト制御信号を用いて，これらの電源供給を ON/OFF できるようにします．

+5V 電源は，負荷スイッチ BD2242G(ローム)で ON/OFF します．+3.3V 電源は，本基板の +3.3V を使用すると電源容量が大きくなる懸念があるため，DC/DC コンバータ XCL213B333(トレックス・セミコンダクター)で生成します．XCL213B333 は CE 端子で ON/OFF できます．BLP1_PPWR 信号を +5V と +3.3V の ON/OFF に使用します．

+12V 電源は，負荷スイッチ FPF2700(オン・セミコンダクター)で ON/OFF します．BLP1_BPWR 信号を +12V の ON/OFF に使用します．

LCD モジュールやバックライトの負荷容量は使用する製品で異なります．電源 ON 時の突入電流にも注意が必要です．XCL213B333，BD2242G，FPF2700 は，すべてソフトスタート機能を内蔵しており，過大な突入電流を抑止できます．



(3) バックライト制御回路

バックライト制御には，AG903が出力するバックライトのON/OFF信号BLP1_BLGTと調光用PWM信号BLP1_BPWMを使用します．

バックライトの制御電圧の閾値は，LCDモジュールによって大きく異なり，VIH≧+2.5V程度のもの，VIH≧+9V程度のものなどがあります．そこで，+12V動作のグランドセンス・オペアンプBA10358(ローム)で非反転増幅器を構成し，制御電圧のレベル変換を可能にしています．レベル変換が必要ない場合は，R40とR42を0Ω，R41とR44を未実装にして，増幅率=1とします．

BA10358は同相入力電圧範囲0Vから使用可能で，最大出力電圧(Low)が250mV以下，入力オフセット電圧最大7mVです．増幅率3倍にしても，閾値VIL<0.4Vを満足できます．なお，BA10358出力の抵抗R38，R39は，ケーブルの静電容量による発振防止用です．

調光用信号としてアナログ電圧を使用するLCDモジュールもあるため，BA10358でアクティブLPFを構成し，PWM信号をアナログ電圧に変換できるようにしています．回路図の破線部分を利用して，2次サレンキー形LPFを構成できます．

3-8 オーディオ出力インターフェース

図3-14にオーディオ出力インターフェース回路を示します．

AG903の同期シリアル・インターフェースのチャネル3(SSP3)にオーディオ用DACのPCM5100A(TI)を接続し，アナログ・オーディオ信号に変換します．SSP3の出力はI^2Sフォーマットとします．PCM5100Aは+3.3V単一電源で動作し，内蔵の昇圧チャージポンプによって，1kΩ以上の負荷に対して直接2Vrmsの出力が可能です．これをライン出力として，ステレオ・ミニジャック(CN13)に接続します．

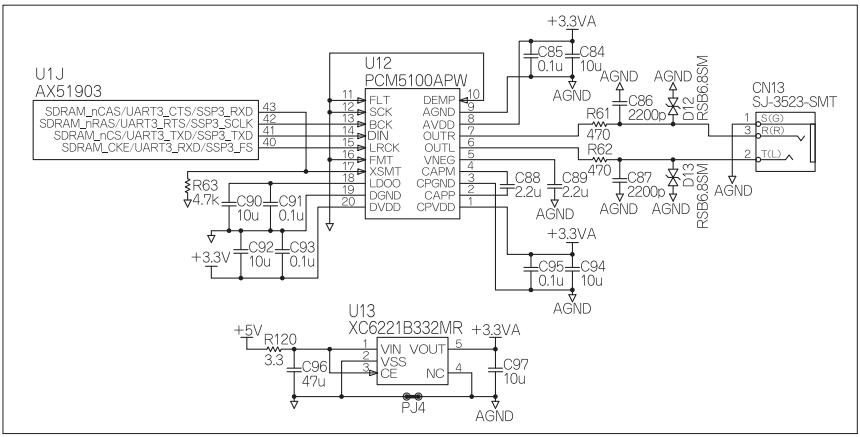
本基板では，11.2896MHz(=44.1kHz×256)の水晶発振器で生成したオーディオ用マスタ・クロックでAG903のSSP3を動作させます(3-1章参照)．AG903はマスタ・クロックをSSP3_RXD端子から出力可能ですが，PCM5100Aはマスタ・クロックの供給が不要です．

そこで，SSP3_RXD端子はGPIOとして割り当て，PCM5100AのXSMT端子に接続してミュート制御を行えるようにしています．XSMT端子の初期状態はプルダウン抵抗R63によりLレベルにし，電源投入時のノイズを抑止します．

オーディオ信号へのノイズ混入を防ぐため，PCM5100A用のアナログ+3.3V電源は，ノイズの少ないクリーンな電源が必要です．本基板では，LDOレギュレータXC6221B332(トレックス・セミコンダクター)とCRフィルタを用いて，ディジタル用の+5V電源から生成しています．さらに，PJ4は配線パターンでジャンパーを形成し，ディジタル・グラウンドとオーディオ用アナログ・グラウンド(AGND)を一点アースしています．

ケーブル挿抜時やコネクタ接触時のESDに対して，双方向タイプのTVSダイオードRSB6.8SM(ローム)で保護しています．

図 3-14　オーディオ出力回路



3-9　GPIO インターフェース

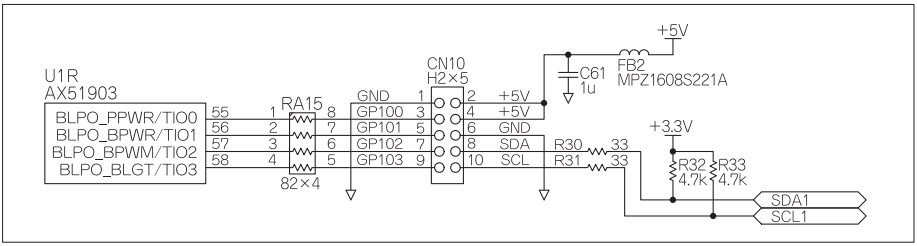
図 3-15 に GPIO インターフェース回路を示します．

AG903 のタイマ I/O を，GPIO インターフェースとしてコネクタ CN10 に接続します．タイマ I/O の機能を利用すれば，ジョグダイヤルなどを容易に接続できます．

GPIO インターフェースは，リレーやフォトカプラによる接点入出力の用途にも一般的に使用されます．その場合に必要となる +5V 電源も，コネクタに出しています．EMC 対策として，チップ・フェライト・ビーズ MPZ1608S221A（TDK）を使用しています．

また，本基板では GPIO を 4 チャネルしか用意していないので，チャネル数が不足する可能性があります．その場合は，I²C 接続の I/O エクスパンダ IC を利用して，GPIO のチャネル数を拡張することが可能です．そのため，AG903 の I²C ポート 1 の信号線（3-2 章参照）も同じコネクタに用意しています．

図 3-15　GPIO インターフェース回路

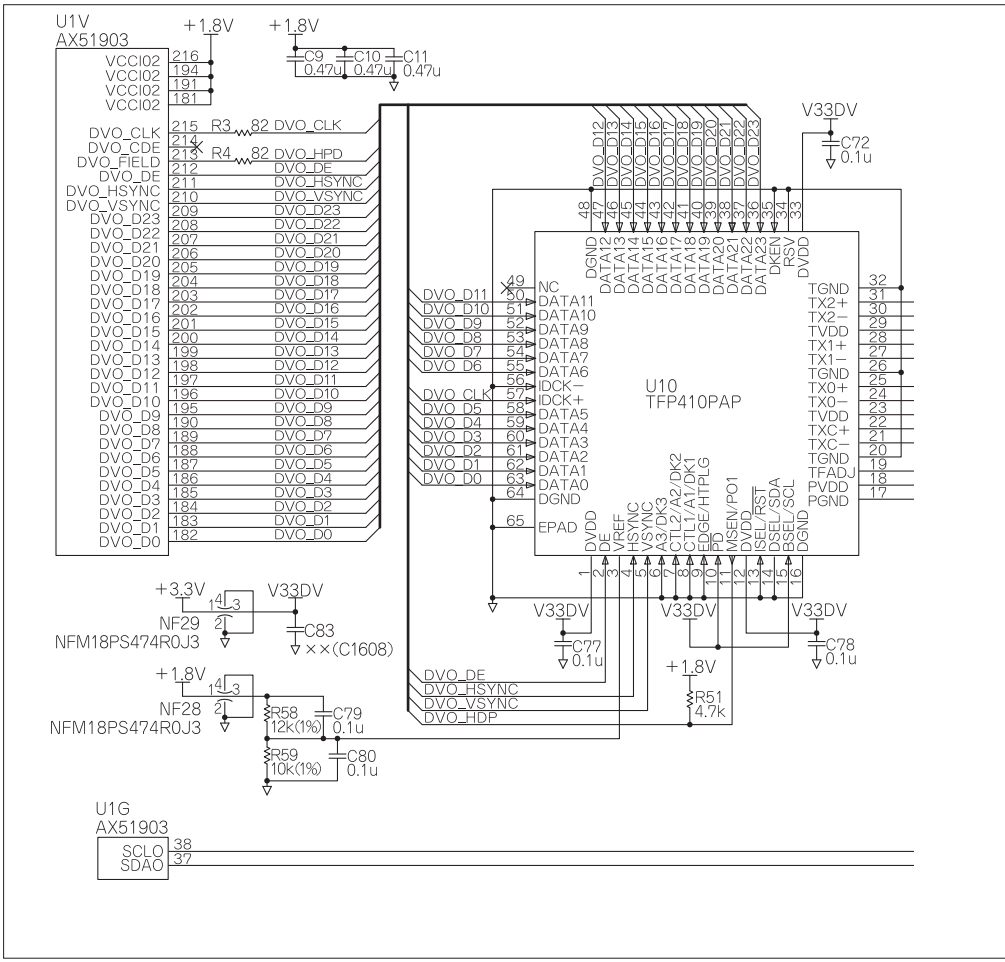


3-10 ディジタル・ビデオ出力インターフェース

図 3-16 にディジタル・ビデオ出力インターフェース回路を示します．

AG903 の CMOS ビデオ出力を，TFP410(TI)を用いて DVI 変換して HDMI コネクタ CN12 に接続します．また，AG903 の I²C ポートを FET でレベル変換して，DDC 信号として出しています．I²C は複数のデバイスをバス接続可能ですが，DDC は外部機器との接続になるので，セキュリティのために I²C ポート 0(SCL0，SDA0)を単独で使用します．

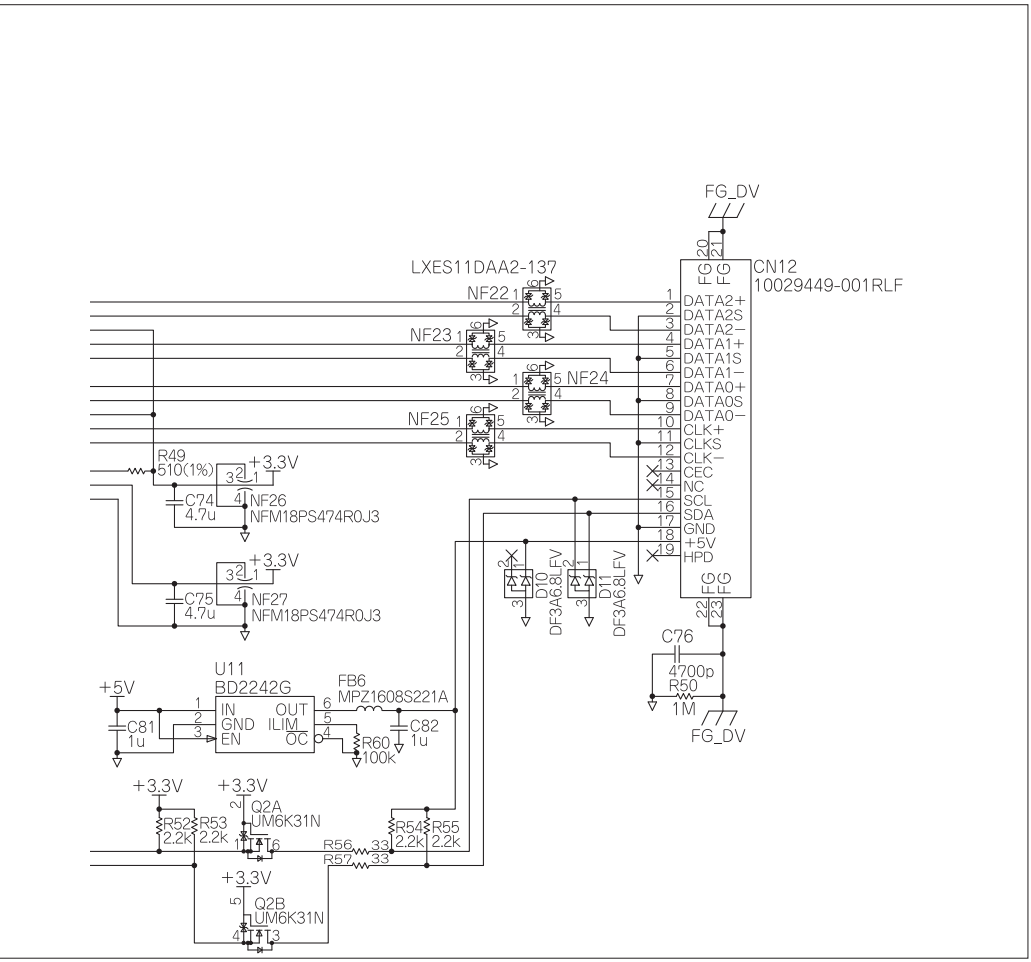
図 3-16　ディジタル・ビデオ出力インターフェース回路



DDCでは+5V電源も供給しています．この+5Vは最低55mAの電源容量が必要です．過電流保護の目的で，負荷スイッチBD2242G(ローム)を使用しています．

電源ON/OFFの必要はないので，このBD2242Gは常時ONで使用します．本基板では，USBのVBUS電源ON/OFFなどにBD2242Gを用いているので，それを流用することとしました．

過電流検出の閾値は抵抗R60で設定され，$19364 \times 100^{-0.98}$ = typ. 212mA以上の負荷電流が遮断されます．



TFP410のアナログ電源は，パスコンを兼ねたチップエミフィルNFM18PS474R0J3(村田)で電源分離しています．また，AG903とTFP410を1.8V CMOSインターフェースで接続するため，TFP410のVREF端子に+1.8Vから抵抗分圧した+0.8Vを与えます．

CMOSビデオ出力は高速ディジタル信号なので，通常はAG903とTFP410を波形改善のためのダンピング抵抗を介して接続します．ただし，AG903は出力ドライブ能力の切り替えが可能なため，ドライブ能力を適切に設定すればダンピング抵抗の削減が図れます．

図3-17～20に，HyperLynxを用いたシミュレーションによる検討例を示します．

図3-17　HyperLynxを用いたシミュレーション結果①(ドライブ能力比較)

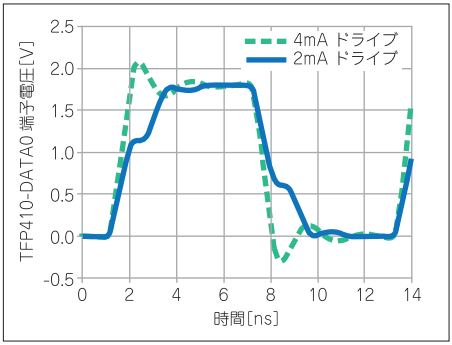


図3-18　HyperLynxを用いたシミュレーション結果②(バラツキ比較)

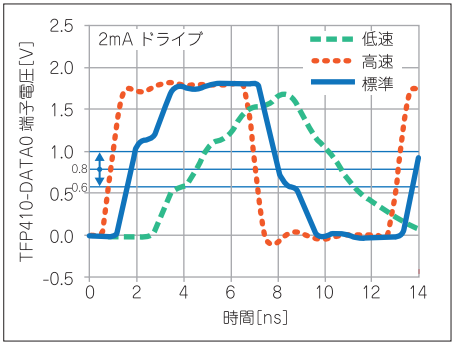


図3-19　HyperLynxを用いたシミュレーション結果③(2mAドライブ時の低速版のタイミング)

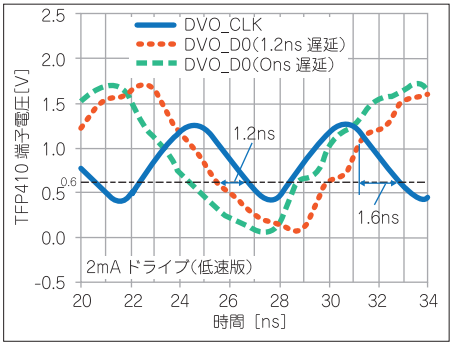


図3-20　HyperLynxを用いたシミュレーション結果④(2mAドライブ時の高速版のタイミング)

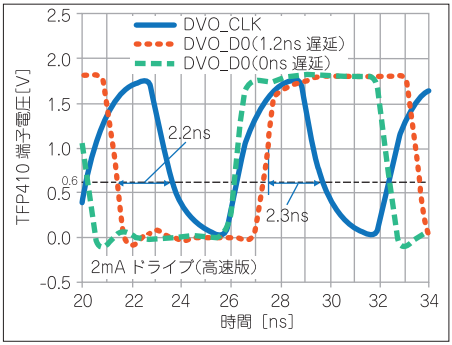


図3-17は，AG903とTFP410を線幅0.15mm，配線長35mmで直結した場合のシミュレーション結果の例です．AG903のドライブ能力設定によって，信号波形の様子が変わることが分かります．

ドライブ能力 2mA では応答は遅くなりますが，オーバーシュート，アンダーシュートは発生しません．ドライブ能力 4mA ではオーバーシュート，アンダーシュートが見られますが，応答は高速になります．

図 3-18 は，AG903 の速度のバラツキをシミュレーションした結果です．低速側に振れた AG903 でも，TFP410 の閾値 VREF=0.8V ± 0.2V に対して，電圧振幅に余裕があることを確認できます．

図 3-19 ～ 20 は，ドットクロック DVO_CLK（164MHz）とデータ DVO_D0（82MHz）を重ね合わせて位相差を確認したものです．AG903 は DVO_CLK の立ち上がりに同期して DVO_D0 を出力し，TFP410 は DVO_CLK の立ち下りで DVO_D0 を取り込みます．DVO_D0 の点線は，AG903 からの出力が最大出力遅延時間 1.2ns 遅れた時の波形となります．

DVO_CLK は，最大 165MHz で使用される可能性があるため，EMC 対策できるようにダンピング抵抗 82Ω を挿入しています（**図 3-16 の R3**）．**図 3-19 ～ 20** のシミュレーションも，このダンピング抵抗を挿入してシミュレーションしています．

低速側に振れた AG903 では，応答が低速でダンピング抵抗による鈍りも加わり，164MHz の高速な DVO_CLK は電圧振幅が小さくなります（**図 3-19**）．ただし，TFP410 はシュミット・トリガ入力で，その閾値は十分超えていることが確認できます．高速側に振れた AG903 では，応答が高速なため DVO_CLK の電圧振幅は十分です（**図 3-20**）．DVO_D0 も含めて過度なオーバーシュート，アンダーシュートはありません．

どちらのケースも TFP410 のセットアップ時間≧1.2ns を満たしており，TFP410 のホールド時間≧1.3ns も十分確保できているため，AG903 のドライブ能力を 2mA にして使用できるとことが分かります．

DVO_FIELD 端子は，DVI 受信側の接続検出信号 DVO_HPD の入力に使用します．AG903 の双方向端子を入力として使用しますが，誤って出力に設定された時のドライブ衝突を軽減する目的で，電流制限抵抗 R4 を使用しています．

HDMI コネクタ（CN12）から先はケーブル接続されるので，EMC 対策が必要です．また，ケーブル挿抜時やコネクタ接触時の ESD 保護も必要です．DVI 信号はコモンモード・フィルタ LXES11DAA2-137（村田）で EMC 対策と ESD 保護を兼ね，DDC 信号と +5V 電源は TVS ダイオードの DF3A6.8LFV（東芝）で ESD 保護を行っています．

HDMI ケーブルのシールドが浮かないように，コネクタの FG は本基板のディジタル・グラウンドに結合させます．FG の接続は，EMC 対策としてコンデンサ C76 と抵抗 R50 で結合させます．ただし，ESD 耐性の高い部品が必要となります．

3-11 イーサネット・インターフェース

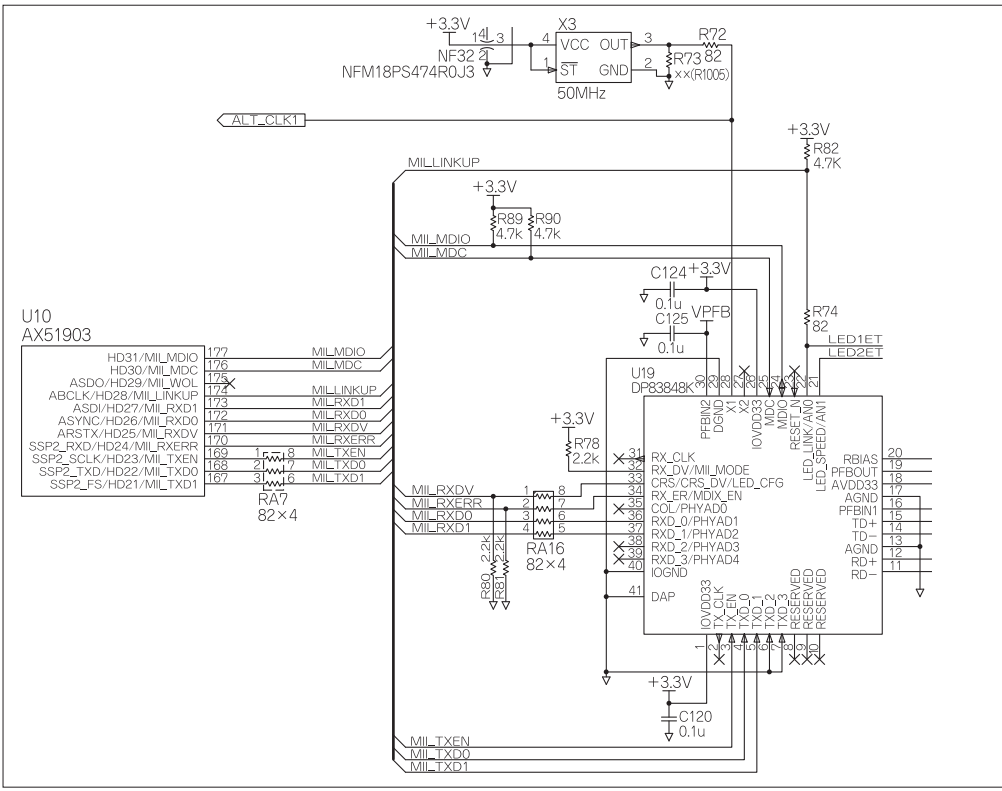
図 3-21 にイーサネット・インターフェース回路を示します.

AG903 の内蔵イーサネット MAC に，イーサネット PHY の DP83848K(TI)とパルス・トランス内蔵 RJ-45 コネクタ(CN16)を接続しています.

RJ-45コネクタには2個のLEDインジケータも内蔵しています. 市販のLAN機器に合わせて，緑色側をリンク・ステータス(リンク時点灯，通信時点滅)，黄色側をスピート表示(100Mbps時点灯)としています. DP83848K のLED_LINK と LED_SPEED を点灯制御に利用しています.

AG903 では，内蔵イーサネット MAC と SD カード・インターフェースを併用する場合，PHY との接続には RMII インターフェースを使用しなければなりません．RMII を使用する場合は，リファレンス・クロックとして，周波数許容偏差 ±50ppm 以内の 50MHz 発振器出力を PHY と AG903 の両方に供給することが必要です.

図 3-21　イーサネット・インターフェース回路

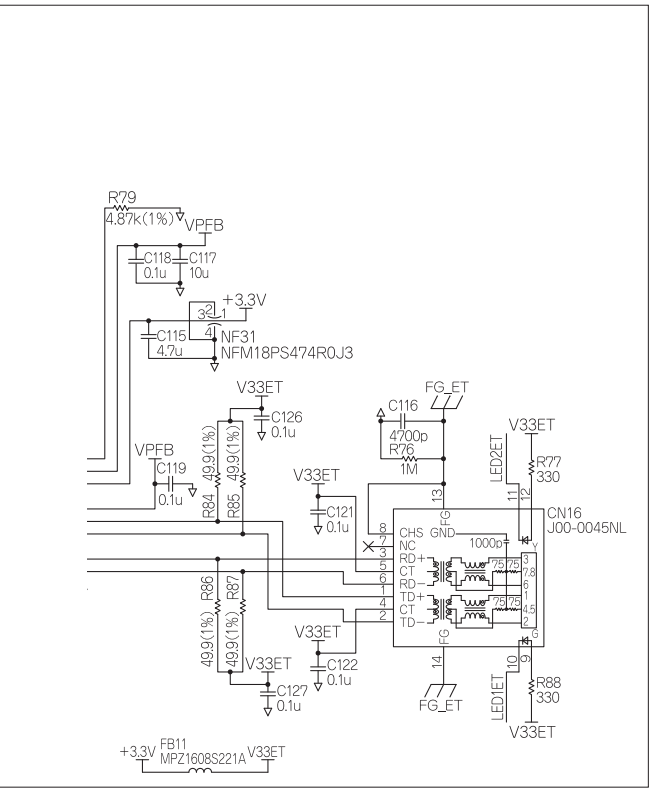


IEEE802.3 規格で規定された MII インターフェースのコネクタで接続する場合，PHY アドレスは 0 <00000> と定められています．本基板では AG903 と PHY は直結なのでこの制約はなく，PHY アドレスは DP83848K のデフォルト値である 1 <00001> としています．

DP83848K は，通信相手のポートとやり取りして MDI(PC 側)か MDI-X(HUB 側)かを自動設定する Auto-MDIX の機能をもち，外付け抵抗で有効 / 無効を選択できます．この機能は通常 HUB 機器に搭載されるものなので，本基板では無効にしています．

DP83848K のアナログ電源は，パスコンを兼ねたチップエミフィル NFM18PS474R0J3(村田)で電源分離しています．

LAN ケーブルのシールドが浮かないように，コネクタの FG は , EMC 対策としてコンデンサ C116 と抵抗 R76 で基板のディジタル・グラウンドに結合させます．



3-12 USB インターフェース

図 3-22 に USB インターフェース回路を示します．

AG903 の内蔵 USB ホスト・コントローラを使用し，USB 用 PLL のアナログ電源は，パスコンを兼ねたチップエミフィル NFM18PS474R0J3(村田)で電源分離しています．

USB コネクタから先はケーブル接続が想定されるため，EMC 対策および ESD 保護が必要です．差動データ線は，コモンモード・フィルタ LXES11DAA2-137(村田)で EMC 対策と ESD 保護を兼ねます．VBUS 電源ラインは，チップビーズ MPZ1608S221A(TDK)で EMC 対策，TVS ダイオード DF3A6.8LFV(東芝)で ESD 保護を行います．

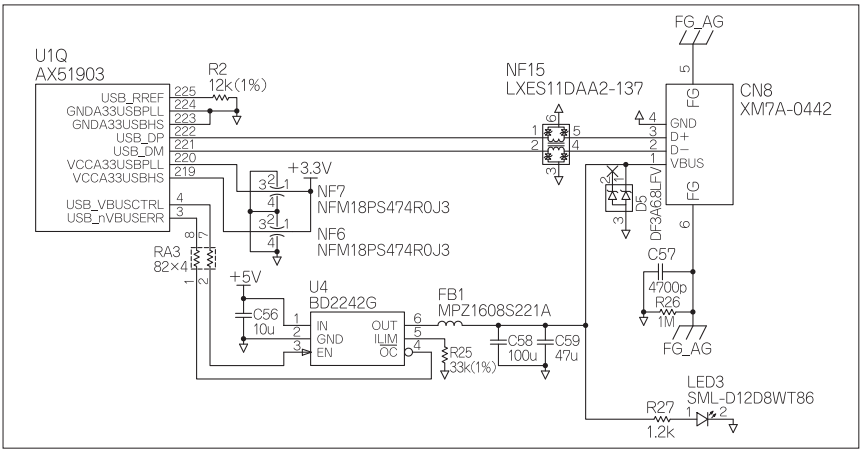
USB ケーブルのシールドが浮かないように，コネクタの FG は，EMC 対策としてコンデンサ C57 と抵抗 R26 で本基板のディジタル・グラウンドに結合させます．

USB 規格では，VBUS 電源ラインに 120uF 以上のパスコンの挿入が規定されており，100uF(C58)と 47uF(C59)を並列接続して実現しています．また，負荷スイッチ BD2242G(ローム)を用いて VBUS 電源の ON/OFF を行います．この BD2242G は，過電流の検出および保護の機能ももっています．

BD2242G の過電流検出信号端子 /OC はオープンドレインですが，AG903 の内蔵プルアップを使用して外付け抵抗を削減します．過電流検出信号 USB_nVBUSERR は AG903 の双方向端子を入力として使用しますが，誤って出力に設定された時のドライブ衝突を軽減する目的で，電流制限抵抗 RA3 を使用しています．

過電流検出の閾値は抵抗 R25 で決められ，$19364 \times 33^{-0.98}$ = typ. 629mA 以上の負荷電流で USB_nVBUSERR が L レベルとなり，ソフトウェア制御なしに VBUS 電源制御信号 USB_VBUSCTR が L レベルとなって VBUS 電源供給を遮断できます．

図 3-22　USB ホスト・インターフェース回路



3-13 SD カード・インターフェース

図 3-23 に SD カード・インターフェース回路を示します．

AG903 の内蔵 SD カード・ホストコントローラを使用します．SD カードは挿抜頻度が高いことが想定されるため，TVS ダイオード DF3A6.8LFV（東芝）で ESD 保護しています．

SD カード・クロック SD_CLK は，最大周波数 50MHz となるため，EMC 対策できるようにダンピング抵抗 R14 を挿入しておきます．また，SD カード側がドライブする時に生じるオーバシュートとアンダーシュートを低減できるように，SD カード側にダンピング抵抗 RA24，RA25 を挿入しておきます．

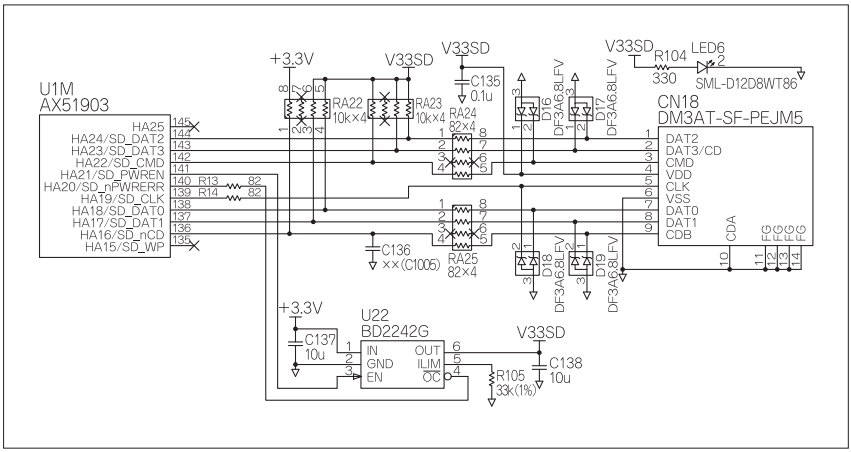
SD カードへの +3.3V 電源供給（V33SD）は，負荷スイッチ BD2242G（ローム）で ON/OFF できるようにしています．BD2242G は電源の立ち上り時間を typ. 0.6ms に制限するため，過大な突入電流を防ぐことができます．また，過電流保護の検出機能ももちます．

BD2242G の過電流検出信号端子 /OC はオープンドレイン出力のためプルアップが必要ですが，AG903 内蔵プルアップを利用して，外付け抵抗を削減しています．

過電流検出信号 SD_nPWRERR は，AG903 の双方向端子を入力として使用します．誤って出力に設定された時のドライブ衝突を軽減する目的で，電流制限抵抗 R13 を挿入してあります．過電流検出の閾値は R105 で設定され，$19364 \times 33^{-0.98}$ = typ. 629mA 以上の負荷電流で SD_nPWRERR が L レベルとなります．それによって，ソフトウェア制御なしにカード電源制御信号 SD_PWREN が L レベルとなり，SD カードへの電源供給を遮断できます．

また，SD カードの取り外しによってカード検出信号 SD_nCD が H レベルとなり，同じくソフトウェア制御なしに SD_PWREN が L レベルとなって，SD カードへの電源供給を遮断することができます．SD_nCD のチャタリングの影響が無視できない場合，コンデンサ C136 で対策できるようにしておきます．

図 3-23　SD カード・インターフェース回路



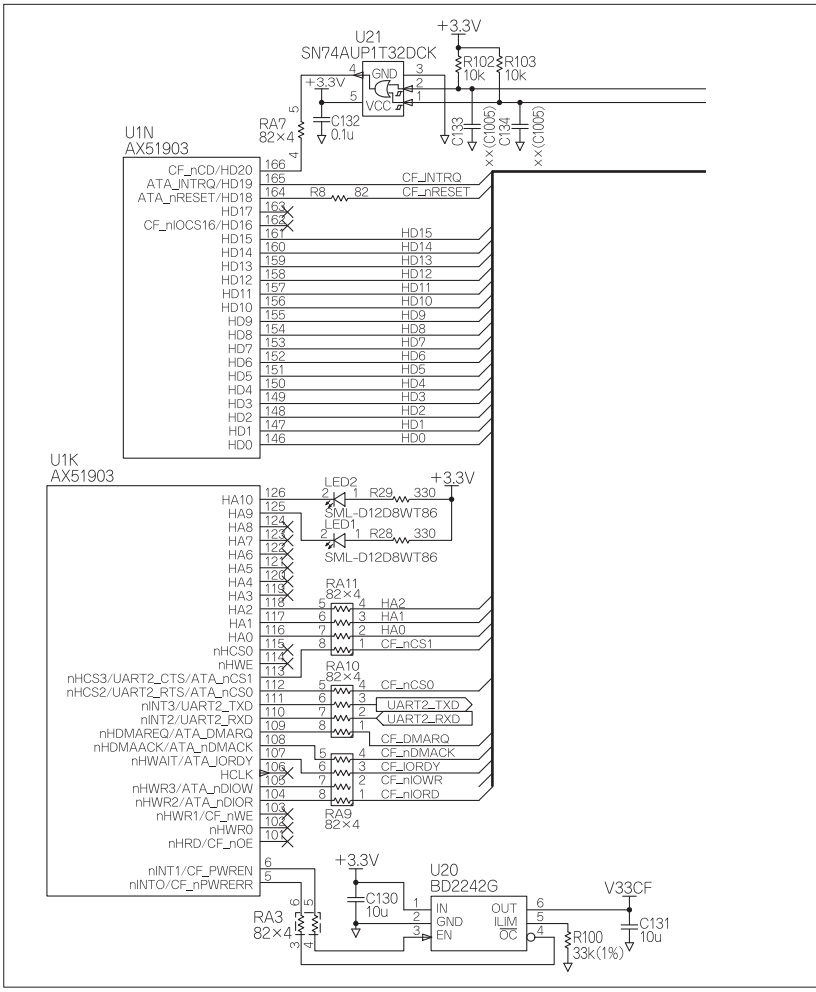
3-14 CF カード・インターフェース

図 3-24 に CF カード・インターフェース回路を示します．

AG903 の内蔵 CF カード・コントローラを True IDE モードで使用します．

本基板では，CF カードは HDD 互換の蓄積メディアとして使用し，挿抜頻度が低いことを想定して，ESD 保護素子を使用していません．頻繁な挿抜が想定される場合には，SD カード・インターフェース同様に ESD 保護素子の使用が望ましいでしょう．

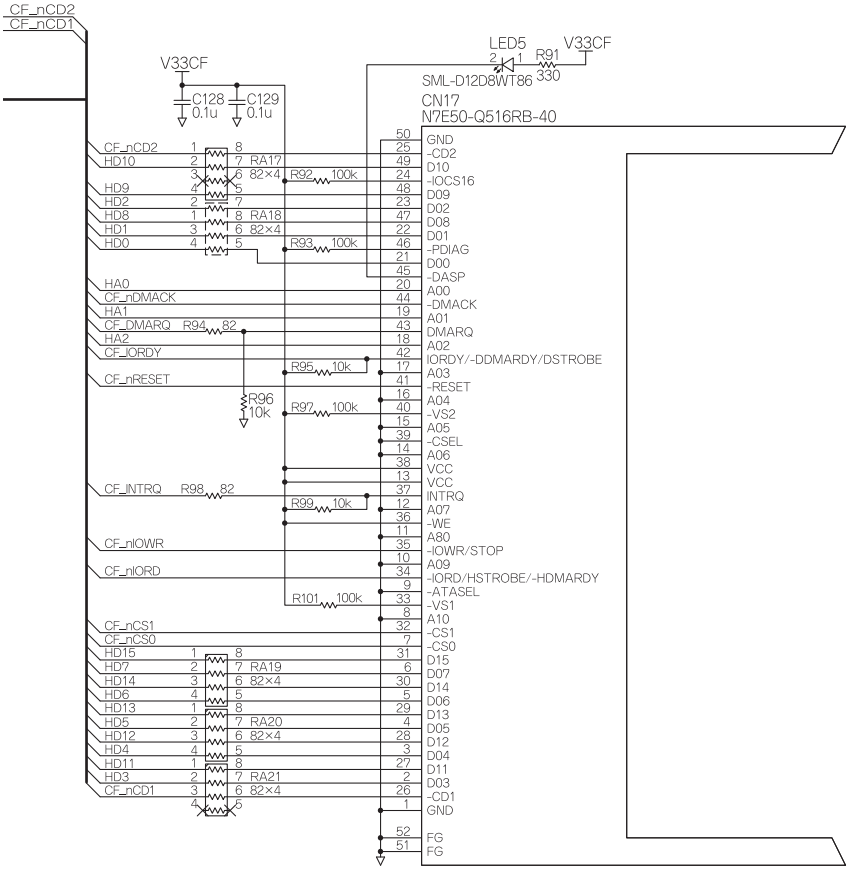
図 3-24
CF カード・インターフェース回路



AG903とCFカード・スロットの間には，オーバシュートとアンダーシュートを低減できるように，ダンピング抵抗を挿入しておきます．

CFカードへの+3.3V電源供給(V33CF)は，負荷スイッチBD2242G(ローム)でON/OFFできるようにしています．BD2242Gは電源の立ち上り時間をtyp. 0.6msに制限するため，過大な突入電流を防ぐことができます．また，過電流保護の検出機能ももちます．

BD2242Gの過電流検出信号端子/OCはオープンドレイン出力のためプルアップが必要ですが，AG903内蔵プルアップを利用して，外付け抵抗を削減しています．



過電流検出信号 CF_nPWRERR は，AG903 の双方向端子を入力として使用します．誤って出力に設定された時のドライブ衝突を軽減する目的で，電流制限抵抗 RA3 を挿入してあります．

過電流検出の閾値は R100 で設定され，$19364 \times 33^{-0.98}$ = typ. 629mA 以上の負荷電流で CF_nPWRERR が L レベルとなります．それによって，ソフトウェア制御なしにカード電源制御信号 CF_PWREN が L レベルとなり，CF カードへの電源供給を遮断できます．

また，CF カードの取り外しによってカード検出信号 CF_nCD が H レベルとなり，同じくソフトウェア制御なしに CF_PWREN が L レベルとなって，CF カードへの電源供給を遮断することができます．CF カード検出信号は 2 本ある（CF_nCD1，CF_nCD2）ので，OR ゲートにより 1 本にして CF_nCD に接続しています．

本基板では，AG903 の HA10，HA9 端子は CF カード・インターフェースに使用しないので，GPIO に割り当てて汎用 LED として使用しています．

3-15 RTC

図 3-25 に RTC 回路を示します．

RTC モジュールとして RX-8025SA（エプソン）を使用します．AG903 は必要なときに RX-8025SA からカレンダ時計のデータを取得したり，設定した時刻に RX-8025SA から割り込みを受けたりします．そのために，RX-8025SA を AG903 の I²C ポートに接続するとともに，割り込み信号（/INTA，/INTB）を AG903 の GPIO に接続します．割り込み信号はオープン・ドレイン出力であり，AG903 の内蔵プルアップを利用して，ワイヤード OR 接続にしています．また，AG903 の GPIO はエッジ割り込みを検出可能です．

RTC モジュールと GPIO インターフェース拡張用（3-9 章参照）の I²C 信号には，AG903 の I²C ポート 1（SCL1，SDA1）を使用し，I²C ポート 0（SCL0，SDA0）を使用する DDC 用の I²C（3-10 章参照）とは分離しています．

RX-8025SA は水晶振動子を内蔵したモジュールで，電源を外付けするだけで使用できます．基板の電源が OFF でもカレンダ時計を動かし続けたい場合は，電源として電池を用いる必要があります．

本基板では RX-8025SA の電源として，3.3V 電源と CR1220 コイン電池をジャンパ JP1 で選択可能にしています．RX-8025SA の消費電流は 0.48 μA（typ）なので，パナソニック製の CR1220（公称容量 35mAh）を使用するとしてバッテリ寿命を計算すると，

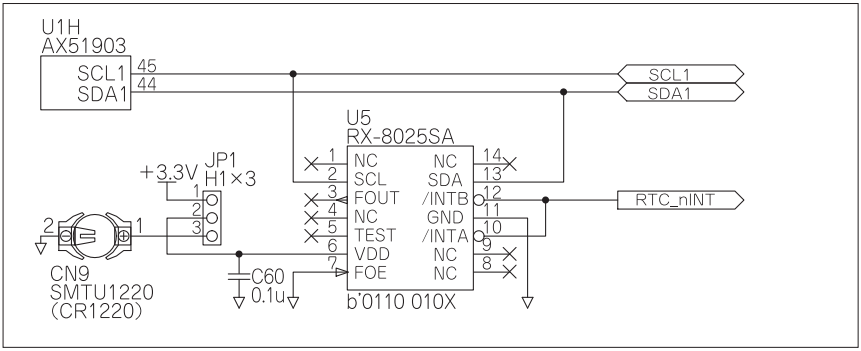
35mAh / 0.48 μA = 72917h = 8.3 年

より，CR1220 のみで約 8.3 年動作できることが分かります．

ジャンパの代わりにダイオードを使用すれば，基板の電源 ON/OFF に連動して自動的に電源を切り替えることも可能です．ただし，本基板の電源は 3.3V で，CR1220 が 3.0V のため，基板の電源 ON の期間にはダイオードのリーク電流で CR1220 が充電されてしまうことに注意が必要です．

リチウム一次電池の充電は危険なため禁止されています．ダイオードを使用して CR1220 を接続する場合は，メーカが定める総充電許容電気量を超えない期間内に，必ず電池交換することが必要です．

図 3-25　RTC 回路



例えばパナソニックでは，リチウム一次電池の全使用期間における総充電許容容量は，コイン電池では公称容量の 3% 以内，円筒型電池では公称容量の 1% 以内と定めています．

従って，リーク電流 0.02 μA のダイオードを経由してパナソニック製のコイン電池 CR1220（公称容量 35mAh）を使用する場合，

35mAh × 0.03/0.02 μA ＝ 52500h ＝ 6 年

より、6 年以内に必ず電池交換をする必要があります．

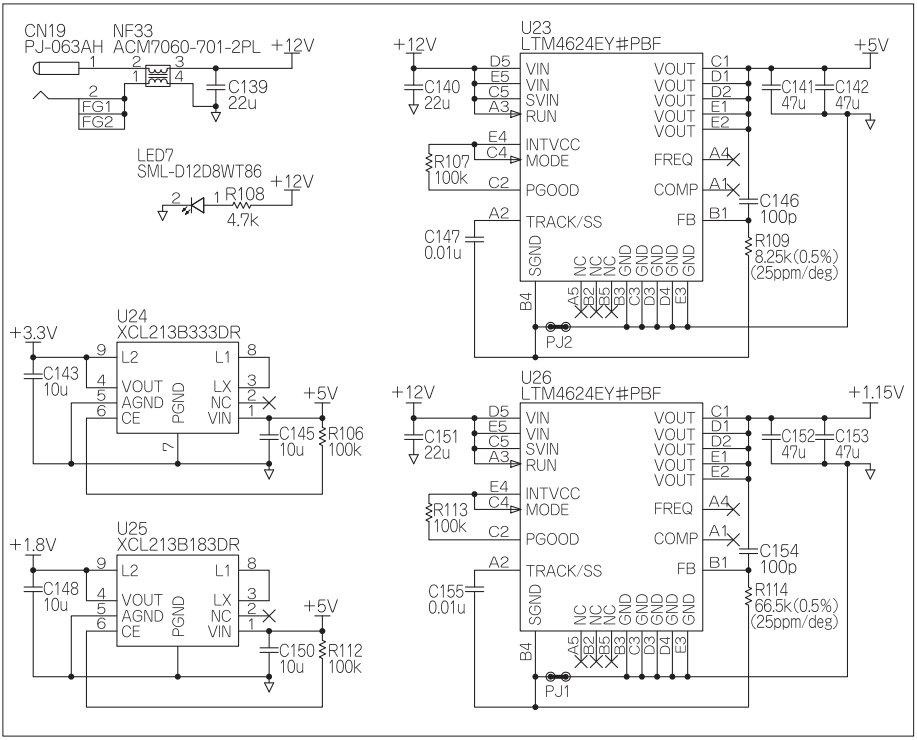
3-16 電源回路

2-4 章の**図 2-16**(p.29)に電源回路構成を示したように，本基板では +12V の入力電源から DC/DC コンバータでディジタル用の +5V と +1.15V を生成し，さらにこの +5V から DC/DC コンバータを用いてディジタル用の +3.3V と +1.8V を生成します．また，ディジタル用の +5V から LDO を用いてアナログ用の +3.3V を生成し，ディジタル用の +3.3V から LDO を用いてアナログ用の +1.8V を生成します．それぞれ負荷回路に供給するとともに，供給先の必要に応じて負荷スイッチで ON/OFF を可能にしています．

電源回路の一部は，負荷側の回路説明の中で，回路図を示して詳細設計を解説しています．それらを除いた本基板の電源回路を，本章でまとめて解説します．

図 3-26 に本基板の電源回路を示します．

図 3-26　電源回路



(1) DC+12V 入力電源

DC+12V は AC アダプタからケーブル接続で入力するため，コモンモード・フィルタ ACM7060-701(TDK)とコンデンサ C139 でノイズ・フィルタを構成して，EMC 対策を行っています．

(2) ディジタル用 +5V 電源，+1.15V 電源

+5V と +1.15V は，それぞれ LTM4624(リニアテクノロジー)を用いて +12V から生成します．PJ1，PJ2 はそれぞれ配線パターンでジャンパーを形成し，ディジタル・グラウンドと LTM4624 用信号グラウンド(SGND)を一点アースしています．

出力電圧は，FB 端子と SGND 端子間に接続した抵抗 R109＝8.25kΩ，R114＝66.5kΩで設定します．2-4 章で検討したように，抵抗の精度が重要なので，ともに許容差 ±0.5%，温度係数 ±25ppm/℃の精密金属皮膜チップ抵抗を使用します．

実際の値を求めると，それぞれ

VOUT(5V)　＝(1+60.4kΩ/8.25kΩ)×0.6V ＝ 4.99V

VOUT(1.15V)　＝(1+60.4kΩ/66.5kΩ)×0.6V ＝ 1.14V

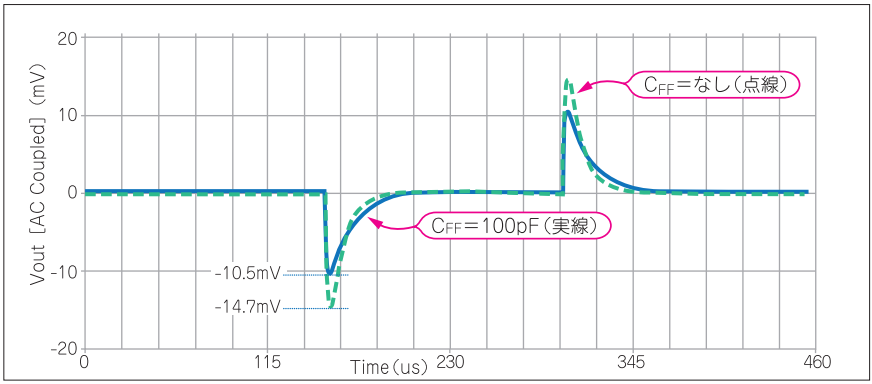
となります．

さらに VOUT 端子と FB 端子の間にフィード・フォワード・コンデンサ C_{FF}（C146，C154）を追加して，オーバーシュートとアンダーシュートを低減します．この C_{FF} に対する負荷過渡応答特性は，LTpowerCAD II で確認できます．

図 3-27 に，+1.15V の C_{FF} に対する負荷過渡応答結果を示します．

C_{FF} がない場合(点線)に比べ，C_{FF}=100pF とした場合(実線)は，負荷過渡応答が 14.7mV から 10.5mV に改善されています．ただし，その反面，規定の電圧まで戻るのに若干の遅れが生じます．

図 3-27　LTpowerCAD II を用いた C_{FF} に対する負荷過渡応答結果
(Step=0.1A⇔1.1A，Step Slew=10A/us)



(3) ディジタル用 +3.3V 電源，+1.8V 電源

+3.3V は，XCL213B333(トレックス・セミコンダクター)を用いて +5V から生成します．また +1.8V は，XCL213B183(トレックス・セミコンダクター)を用いて +3.3V から生成します．これらは出力電圧固定の DC/DC コンバータなので，電圧設定用抵抗は使用していません．

(4) ディジタル用電源の立上り時間

各ディジタル用電源の突入電流と立上り時間について検討します．

+1.15V 電源ラインの総負荷容量は，パスコンを合計した結果，約 300uF となります．突入電流の上限を 4A とした場合，LTM4624 の出力はおおむね単調増加的に上昇するため，必要な立ち上がり時間 T_{RISE} は，

$T_{RISE(1.15V)}$ ＞ 300uF×1.15V / 4A = 86us

となります．

同様に，+5V 電源ラインの総負荷容量は約 200uF であるため，

$T_{RISE(5V)}$ ＞ 200uF×5V / 4A = 250us

となります．+5V の容量負荷は，拡張基板の増設によってさらに増加する可能性もあるため，立ち上り時間は十分に長くしておくことが必要です．

LTM4624 の出力立ち上がり時間は，SS 端子に接続したコンデンサ(C155，C147)の容量値で決まります．SS 端子に 0.01uF を接続した場合，

$T_{RISE(5V)}$= 0.01uF/2.5uA×0.6V = 2.4ms

より，必要とされる立ち上がり時間 250us の 10 倍程度を確保できることが分かります．

XCL213B333 と XCL213B183 は立上り時間が固定で，typ. 0.3ms です．

本基板では，各電源間の立上り時間のトラッキングは必要ありません．だいたい揃えようと思っても，0.3ms では +5V に必要な立ち上り時間 250 μs とほぼ同程度であり，余裕が見込めません．

そこで，+1.15V と +5V はともに SS 端子の容量値を 0.01uF として十分な立ち上り時間を確保し，+3.3V と +1.8V はそのままの typ. 0.3ms としました．

(5) LCD モジュール用 +3.3V 電源，アナログ用 +3.3V および +1.8V 電源

すでに，回路図とともに詳細設計を解説してあります．

LCD モジュール用 +3.3V は XCL213B333(トレックス・セミコンダクター)で生成しています(3-7 章参照)．アナログ・オーディオ回路用の +3.3V は，LDO レギュレータ XC6221B332(トレックス・セミコンダクター)を用いて +5V から生成しています(3-8 章参照)．アナログ・ビデオ回路用の +1.8V は，LDO レギュレータ XC6221B182(トレックス・セミコンダクター)を用いて +3.3V 電源から生成しています(3-6 章参照)．

著者略歴

●麻生　勝之（あそう・かつゆき）
株式会社 アクセル．スキーとお酒をこよなく愛するエンジニア．
ジョギング中に「やり切るまで続けないのはいけない」と考える毎週末．

●宮崎　仁（みやざき・ひとし）
有限会社 宮崎技術研究所．一人で何役もこなすユーティリティ・エンジニアを目指すも，なかなか道はけわしいと思う今日この頃．

●本誌掲載記事の利用についてのご案内

本誌掲載記事には著作権があり，また工業所有権が確立されている場合があります．したがって，個人で利用される場合以外は所有者の承諾が必要です．
また，掲載された回路，技術，プログラムを利用して生じたトラブルなどについては，小社ならびに著作権者は責任を負いかねますのでご了承ください．
本誌に記載されている社名，および製品名は，一般に開発メーカの登録商標または商標です．なお本文中では™,®,©の各表示を明記しておりません．

●本書に関する質問について

電子メール，電話でのお問い合わせは応じかねます．文章，数式などの記述上の不明点についてのご質問は，必ず往復はがきか返信用封筒を同封した封書でお願いいたします．ご質問は著者に回送し直接回答していただきますので，多少時間がかかります．また，本書の記載範囲を超えるご質問には応じられませんので，ご了承ください．

トランジスタ技術 特別小冊子（非売品）

SoCを用いたシステム設計の実践 !!

著　者　麻生 勝之／宮崎 仁
発行人　寺前 裕司
編集人　中元 正夫
発行所　CQ出版株式会社
〒112-8619　東京都文京区千石4-29-14
(03)5395-2123（出版部）
(03)5395-2141（販売部）
振替　00100-7-10665
Printed in japan

（無断転載を禁じます）

乱丁，落丁はお取り替えします

デザイン／DTP（株）イー・スリー・プロダクション
印刷・製本／三晃印刷株式会社

わきまえた、煌めき。

京都室町に280年続く老舗の帯匠、誉田屋の十代目山口源兵衛。原始布や古代繭、天蚕といった素材にこだわり、類い希な技術で見事な作品を完成させることで、古から綿々と続く伝統を受け継ぎながら、その先に繋がる未来へと、帯の新境地を開拓し続けています。山口源兵衛の帯は、丁寧な一つ一つの駒さばきが、帯全体を構成するための強い意志に裏打ちされ、隅々まで入念に仕上げられた芸術としての雰囲気を醸し出しています。その姿は比類のない精緻さや完成度を誇りながら、徒に自己を主張するのではなく、着物と組み合わせた和装全体での調和が考慮された、非常に穏やかな表情を見せています。そこには一分の隙も無駄も存在していません。己の役割をわきまえたもののみがもつ端正な佇まいと美しさ、その輝きは主役たる着物に決して引けを取るものではありません。私たちもこの帯のようなSoCを目指しています。

組み込み機器向けグラフィックスLSI

AG903

AG903 主な仕様

描画エンジン	OpenVG™ 1.1 対応
CPUコア	ARM® Cortex®-A5 400MHz
内蔵VRAM容量	512Mbit
ビデオ入力	CMOSデジタル(24bit)×1、アナログ(NTSC/PAL)×4
ビデオ出力	CMOSデジタル(24bit)×1、LVDSデュアル×1
最大解像度	1920×1200(1出力時)
画像コーデック	JPEG(圧縮伸長)、H.264(伸長)
電源電圧	コア1.15V、I/O1.8または3.3V(選択可能)、アナログ1.8V、DRAM1.8V
パッケージ	QFP256pin、28mm×28mm
その他	画像処理機能、外部CPUからの制御

＊ARMおよびCortexはARM Ltd.またはその子会社の登録商標です。
＊OpenVGはThe Khronos Group Inc.の商標です。
＊その他の社名、製品名などは、一般に、各社の商標または登録商標です。

AXELL CORPORATION

株式会社アクセル
〒101-8973 東京都千代田区外神田4-14-1 秋葉原UDX南ウイング10階
TEL 03-5298-1670 FAX 03-5298-1671 EMAIL:sales@axell.co.jp

詳しくはこちらへ
http://www.axell.co.jp/